

[illegible]

Attorneys
BROWN RAYSMAN MILLSTEIN FELDER & STEINER, LLP
1880 Century Park East, Suite 711, Los Angeles, California 90067

EXPRESS MAIL NO. EL588251971US

発明の背景

- 本発明は、メモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法に関し、特に、フラッシュメモリに対する一連のデータ書き込み処理をより高速に行うことができるメモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法に関する。

従来技術の説明

- 近年、メモリカードやシリコンディスクなどに用いられる半導体メモリとして、フラッシュメモリ、特にNAND型フラッシュメモリが用いられることが多い。NAND型フラッシュメモリは、メモリセルを消去状態（論理値＝1）から書込状態（論理値＝0）に変化させる場合は、これをメモリセル単位で行うことが可能である一方、メモリセルを書込状態（0）から消去状態（1）に変化させる場合は、これをメモリセル単位で行うことができず、複数のメモリセルからなる所定の消去単位でしかこれを行うことができない。かかる一括消去動作は、一般的に「ブロック消去」と呼ばれる。

- このように、フラッシュメモリでは、ブロック単位でしかメモリセルを書込状態から消去状態に変化させることができないので、既にデータの書き込まれたブロックに対して新しいデータを書き込むためには、一旦、このブロックに含まれるメモリセルを全て消去状態とし、その後新しいデータを書き込むという処理が必要となる。したがって、すでにデータが格納されているブロックに新しいデータを書き込む場合、このブロックにすでに格納されているデータが消失するのを防ぐためには、このブロックに含まれるデータを、他の消去済みブロックに移動させる必要がある。

- このため、すでにデータが格納されているブロックに新しいデータを書き込むようホストコンピュータから指示されると、当該新しいデータと、このブロックにすでに格納されているデータとが、消去済みブロックに書き込まれる。かかる処理は、「ブロック間転送」と呼ばれ

る。その後、転送元のブロックに含まれるメモリセルが全て消去状態とされ、これにより、転送元のブロックは新たに消去済みブロックとなる。

5 このように、従来のフラッシュメモリシステムにおいては、すでにデータが格納されているブロックに新しいデータを書き込むよう、ホストコンピュータから要求されるたびにブロック間転送を実行する必要があった。

しかしながら、一連のブロック間転送処理には、多くの時間を要するという問題がある。

10 すなわち、ブロック間転送処理においては、転送元ブロックに格納されているデータをメモリコントローラが読み出し、かかるデータを転送先のブロックに書き込むという処理を1ページずつ行う必要があるため、転送元ブロックの各ページに格納されているデータを全て転送先のブロックに転送するには、データの格納されているページ数に
15 ほぼ比例した時間が必要となってしまう。

したがって、ホストコンピュータから書き込みを要求されたデータがたとえ1ページ分のデータであっても、当該データを書き込むべきブロックにすでに何らかのデータが格納されていれば、一連の処理が完了するまでには多大な時間が必要となっていた。

20 このため、ホストコンピュータからデータの書き込みが要求された場合に、当該データの書き込みに必要な一連の処理をより高速に行うことができるメモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法が望まれていた。

したがって、本発明の目的は、ホストコンピュータからデータの書き
25 き込みを要求された場合に、当該データを書き込むべきブロックにすでに何らかのデータが格納されている場合であっても、与えられたデータの書き込みに必要な一連の処理をより高速に行うことができるメモリコントローラ及びこのようなメモリコントローラを備えるフラッシュメモリシステムを提供することである。

30 また、本発明の他の目的は、ホストコンピュータからデータの書き

込みを要求された場合に、当該データを書き込むべきブロックにすでに何らかのデータが格納されている場合であっても、与えられたデータの書き込みに必要な一連の処理をより高速に行うことができるフラッシュメモリの制御方法を提供することである。

5

発明の概要

本発明は、ホストコンピュータからデータの書き込みを要求された場合、当該データを書き込むべきブロックにすでに何らかのデータが格納されている場合であっても、データを書き込むべきページを構成するフラッシュメモリセルが全て消去状態となっていることが保証されていれば、ブロック間転送を行うことなく、当該ブロックに追加してデータを書き込むことができる点に着目したものである。

10

本発明のかかる目的は、ホストコンピュータより供給されるホストアドレスに基づいて、それぞれ複数のページを含む複数のブロックからなるメモリにアクセスするメモリコントローラであって、前記ホストコンピュータよりユーザデータの書き込みが要求されたことに応答して、前記ホストアドレスにより示される書込先ページへの前記ユーザデータの追加的な書き込みが可能であるか否かを判断する判断手段と、前記判断手段による判断の結果、ユーザデータの追加的な書き込みが可能であると判断されたことに応答して、ブロック間転送を行うことなく、前記書込先ページへ前記ユーザデータを書き込む書込手段とを備えるメモリコントローラによって達成される。

15

20

本発明によれば、ユーザデータの追加的な書き込みが可能であると判断されたことに応答して、ブロック間転送を行うことなく、ユーザデータの書き込みを行っているので、ブロック間転送の頻度が低くなる。このため、データの書き込みに必要な一連の処理を高速に行うことが可能となる。

25

本発明の好ましい実施態様においては、前記判断手段による判断が、前記複数のブロックのうち少なくとも一部のブロックについての空きページ情報が格納されたテーブルを参照することにより行われる。

30

本発明のさらに好ましい実施態様においては、前記書込手段が、前記ユーザデータの書き込みによって生じる新たな空きページ情報の少なくとも一部を、前記書込先ページが属するブロックに含まれる少なくとも一のページに書き込む。

- 5 本発明のさらに好ましい実施態様によれば、空きページ情報の少なくとも一部が、メモリを構成するブロック内に書き込まれるので、コントローラがリセットされた後であっても、かかる空きページ情報を参照することにより、容易にテーブルを作成することができる。

- 10 本発明のさらに好ましい実施態様においては、前記テーブルを構成する前記空きページ情報には、空きページが存在するか否かを示す第1の情報と、空きページを特定する第2の情報とが少なくとも含まれている。

- 15 本発明のさらに好ましい実施態様においては、前記テーブルの作成が指示されたことに応答して、前記複数のブロックのうち少なくとも一部のブロックの先頭ページに格納された前記第1の情報を読み出し、これに基づいて前記テーブルを作成するテーブル作成手段をさらに備える。

- 20 本発明のさらに好ましい実施態様によれば、テーブルの作成において、少なくとも一部のブロックの先頭ページに格納された情報を用いているので、本発明の適用によってコントローラの初期設定動作に要する時間が増大することはない。

- 25 本発明のさらに好ましい実施態様においては、前記テーブルを構成する各空きページ情報が、それぞれ対応するブロックに含まれる複数のページのうち、以降のページが全て空きページである1または2以上のページの先頭ページを示すスタートページ情報からなる。

本発明のさらに好ましい実施態様によれば、各空きページ情報がスタートページ情報によって構成されているので、そのデータ量を抑えることができる。

- 30 本発明の前記目的はまた、ホストコンピュータより供給されるホストアドレスに基づいて、それぞれ複数のページを含む複数のブロック

からなるメモリにアクセスするメモリコントローラであって、前記ホストコンピュータより空きブロックに対するユーザデータの書き込みが要求されたことに応答して、前記空きブロックに含まれるページであって前記ホストアドレスにより特定される第1のページのユーザ領域内へ前記ユーザデータを書き込む手段と、前記空きブロックに含まれる先頭ページの冗長領域内へ空きページ情報を書き込む手段とを備えるメモリコントローラによって達成される。

本発明によれば、空きブロックに対してユーザデータを書き込む際に、先頭ページの冗長領域内へ空きページ情報を書き込んでいることから、これを参照することにより、ユーザデータの書き込みが行われた後における当該ブロックの空きページを知ることができる。

本発明の好ましい実施態様においては、前記空きページ情報が、空きページが存在するか否かを示す空きページフラグと、空きページを特定する空きページデータとを少なくとも含む。

本発明のさらに好ましい実施態様においては、前記空きページデータが、前記第1のページに続く第2のページを特定するデータである。

本発明のさらに好ましい実施態様によれば、第2のページ以降のページが空きページであることが保証されるため、第2のページ以降のページへの新たなユーザデータの書き込みが要求された場合に、ブロック間転送を行うことなく、ユーザデータの追加的な書き込みを行うことが可能となる。

本発明のさらに好ましい実施態様においては、前記ホストコンピュータより前記ブロックに対するユーザデータの書き込みがさらに要求されたことに応答して、前記空きページ情報に基づき、前記ホストコンピュータより供給されたホストアドレスにより特定される第3のページへの前記ユーザデータの追加的な書き込みが可能であるか否かを判断する手段と、前記判断の結果、ユーザデータの追加的な書き込みが可能であると判断されたことに応答して、前記ブロックに含まれる第3のページのユーザ領域内へ前記ユーザデータを書き込む手段と、前記ブロックに含まれる第2のページの冗長領域内へ前記第3のペー

ジに続く第4のページを特定する空きページデータを書き込む手段とを備える。

5 本発明のさらに好ましい実施態様によれば、第4のページ以降のページが空きページであることが保証されるため、第4のページ以降のページへの新たなユーザデータの書き込みが要求された場合に、ブロック間転送を行うことなく、ユーザデータの追加的な書き込みを行うことが可能となる。

10 本発明のさらに好ましい実施態様においては、前記ホストコンピュータより前記ブロックの最終ページに対するユーザデータの書き込みがさらに要求されたことに応答して、前記空きページ情報に基づき、前記最終ページへの前記ユーザデータの追加的な書き込みが可能であるか否かを判断する手段と、前記判断の結果、ユーザデータの追加的な書き込みが可能であると判断されたことに応答して、前記最終ページのユーザ領域内へ前記ユーザデータを書き込む手段と、前記先頭ページの冗長領域内に格納された前記空きページフラグを変化させる手段とを備える。

15 本発明のさらに好ましい実施態様によれば、最終ページに対してユーザデータを書き込む際に、先頭ページの冗長領域内に格納された空きページフラグを変化させていることから、これを参照することにより、当該ブロックへの新たなユーザデータの書き込みを禁止することができる。

20 本発明の前記目的はまた、それぞれ複数のページを含む複数のブロックからなるフラッシュメモリと、ホストコンピュータより供給されるホストアドレスに基づいて前記フラッシュメモリにアクセスするメモリコントローラとを備え、前記コントローラが、前記ホストコンピュータよりデータの書き込みが要求されたことに応答して、前記ホストアドレスにより示される書込先ページへの前記データの追加的な書き込みが可能であるか否かを判断する判断手段と、前記判断手段による判断の結果、データの追加的な書き込みが可能であると判断された
25 30 ことに応答して、ブロック間転送を行うことなく、前記書込先ページ

へ前記データを書き込む書込手段とを備えることを特徴とするフラッシュメモリシステムによって達成される。

- 5 本発明によれば、ユーザデータの追加的な書き込みが可能であると判断されたことに応答して、ブロック間転送を行うことなく、ユーザデータの書き込みを行っているので、ブロック間転送の頻度が低くなる。このため、データの書き込みに必要な一連の処理を高速に行うことが可能となる。

- 10 本発明の好ましい実施態様においては、前記各ブロックがユーザ領域と冗長領域とを備え、前記冗長領域には、各ブロックを構成する空きページに関する空きページ情報が格納されている。

本発明のさらに好ましい実施態様においては、前記コントローラが、前記複数のブロックのうち少なくとも一部のブロックについての前記空きページ情報が格納されたテーブルをさらに備え、前記判断手段による判断が、前記テーブルを参照することにより行われる。

- 15 本発明の前記目的はまた、データの書き込みがホストコンピュータから要求されたことに応答して、ホストアドレスにより示される書込先ページへの前記データの追加的な書き込みが可能であるか否かを判断する判断ステップと、前記判断ステップによる判断の結果、データの追加的な書き込みが可能であると判断されたことに応答して、ブロック間転送を行うことなく、前記書込先ページへ前記データを書き込む書込ステップとを備えることを特徴とするフラッシュメモリの制御方法によって達成される。
- 20

図面の簡単な説明

- 25 図 1 は、本発明の好ましい実施態様にかかるフラッシュメモリシステム 1 を概略的に示すブロック図である。

図 2 は、フラッシュメモリチップ 2-0 ～ 2-3 を構成する各フラッシュメモリセル 16 の構造を概略的に示す断面図である。

- 30 図 3 は、書込状態であるフラッシュメモリセル 16 を概略的に示す断面図である。

図 4 は、フラッシュメモリチップ 2-0 のアドレス空間の構造を概略的に示す図である。

図 5 は、冗長領域 26 のデータ構造を概略的に示す図である。

図 6 は、SRAM ワークエリア 8 に格納されるアドレス変換テーブル 27 のデータ構造を示す概略図である。

図 7 は、SRAM ワークエリア 8 に格納される消去済みブロックキュー 30 のデータ構造を示す概略図である。

図 8 は、物理ブロック #4 のページ #1 及び #2 にデータが書き込まれた状態を示す概略図である。

図 9 は、物理ブロック #4 のページ #1 ~ #4 にデータが書き込まれた状態を示す概略図である。

図 10 は、物理ブロック #4 のページ #1、#2 及び #5 にデータが書き込まれた状態を示す概略図である。

図 11 は、物理ブロック #4 のページ #1、#2 及び #31 にデータが書き込まれた状態を示す概略図である。

好ましい実施形態の説明

以下、添付図面を参照しながら、本発明の好ましい実施態様について詳細に説明する。

図 1 は、本発明の好ましい実施態様にかかるフラッシュメモリシステム 1 を概略的に示すブロック図である。

図 1 に示されるように、フラッシュメモリシステム 1 はカード形状であり、4 個のフラッシュメモリチップ 2-0 ~ 2-3 と、コントローラ 3 と、コネクタ 4 とが、一つのカード内に集積されて構成される。

フラッシュメモリシステム 1 は、ホストコンピュータ 5 に着脱可能に装着されて使用され、ホストコンピュータ 5 に対する一種の外部記憶装置として用いられる。ホストコンピュータ 5 としては、文字、音声、あるいは画像情報等の種々の情報を処理するパーソナルコンピュータやデジタルスチルカメラをはじめとする各種情報処理装置が挙げられる。

各フラッシュメモリチップ2-0~2-3は、特に限定されるものではないが、それぞれ128Mバイト（1Gビット）の記憶容量を有する半導体チップである。フラッシュメモリシステム1においては、512バイトを1ページとし、これを最小アクセス単位としている。

- 5 したがって、これら各フラッシュメモリチップ2-0~2-3は、それぞれ256Kページのアドレス空間を含み、フラッシュメモリチップ2-0~2-3の合計で、1Mページのアドレス空間を備えることになる。また、フラッシュメモリシステム1においては、これら4つのフラッシュメモリチップ2-0~2-3は、512Mバイト（4G
- 10 ビット）の記憶容量を有し、1Mページのアドレス空間を備える一つの大きなメモリとして取り扱われる。このため、これら1Mページからなるアドレス空間から特定のページにアクセスするためには、少なくとも20ビットのアドレス情報が必要となる。したがって、ホストコンピュータ5は、フラッシュメモリシステム1に対し、少なくとも
- 15 20ビットのアドレス情報を供給することによって、特定のページに対するアクセスを行う。以下、ホストコンピュータ5よりフラッシュメモリシステム1に供給される20ビットのアドレス情報を「ホストアドレス」と呼ぶ。

- コントローラ3は、マイクロプロセッサ6と、ホストインターフェースブロック7と、SRAMワークエリア8と、バッファ9と、フラッシュメモリインターフェースブロック10と、ECC（エラー・コ
- 20 レクション・コード）ブロック11と、フラッシュシーケンサブロック12とから構成される。これら機能ブロックによって構成されるコントローラ3は、一つの半導体チップ上に集積されている。

- 25 マイクロプロセッサ6は、コントローラ3を構成する各機能ブロック全体の動作を制御するための機能ブロックである。

- ホストインターフェースブロック7は、バス13を介してコネクタ4に接続されており、マイクロプロセッサ6による制御のもと、ホストコンピュータ5とのデータやアドレス情報、ステータス情報、外部
- 30 コマンド情報の授受を行う。すなわち、フラッシュメモリシステム1

がホストコンピュータ 5 に装着されると、フラッシュメモリシステム 1 とホストコンピュータ 5 とは、バス 13、コネクタ 4 及びバス 14 を介して相互に接続され、かかる状態において、ホストコンピュータ 5 よりフラッシュメモリシステム 1 に供給されるデータ等は、ホスト
5 インターフェースブロック 7 を入口としてコントローラ 3 の内部に取り込まれ、また、コントローラ 3 よりホストコンピュータ 5 に供給されるデータ等は、ホストインターフェースブロック 7 を出口としてホストコンピュータ 5 に供給される。さらに、ホストインターフェース
10 ブロック 7 は、ホストコンピュータ 5 より供給されるホストアドレス及び外部コマンドを一時的に格納するタスクファイルレジスタ（図示せず）及びエラーが発生した場合にセットされるエラーレジスタ等（図示せず）を有している。

SRAMワークエリア 8 は、マイクロプロセッサ 6 によるフラッシュメモリチップ 2-0～2-3 の制御に必要なデータが一時的に格納
15 される作業領域であり、複数の SRAM セルによって構成される。

バッファ 9 は、フラッシュメモリチップ 2-0～2-3 から読み出されたデータ及びフラッシュメモリチップ 2-0～2-3 に書き込むべきデータを一時的に蓄積するバッファである。すなわち、フラッシュメモリチップ 2-0～2-3 から読み出されたデータは、ホスト
20 コンピュータ 5 が受け取り可能な状態となるまでバッファ 9 に保持され、フラッシュメモリチップ 2-0～2-3 に書き込むべきデータは、フラッシュメモリチップ 2-0～2-3 が書き込み可能な状態となるまでバッファ 9 に保持される。

フラッシュメモリインターフェースブロック 10 は、バス 15 を介して、フラッシュメモリチップ 2-0～2-3 とのデータやアドレス
25 情報、ステータス情報、内部コマンド情報の授受を行うとともに、各フラッシュメモリチップ 2-0～2-3 に対して対応するチップ選択信号 #0～#3 を供給するための機能ブロックである。チップ選択信号 #0～#3 は、ホストコンピュータ 5 からデータの読み出しまたは
30 書き込みが要求された場合、ホストコンピュータ 5 より供給されるホ

ストアドレスの下位 2 ビットに基づいて、そのいずれかが活性化される信号である。具体的には、ホストアドレスの下位 2 ビットが「00」であればチップ選択信号 # 0 が活性化され、「01」であればチップ選択信号 # 1 が活性化され、「10」であればチップ選択信号 # 2 が活性化され、「11」であればチップ選択信号 # 3 が活性化される。対応するチップ選択信号が活性化されたフラッシュメモリチップ 2-0 ~ 2-3 は選択状態となり、データの読み出しまたは書き込みが可能となる。尚、「内部コマンド」とは、コントローラ 3 がフラッシュメモリチップ 2-0 ~ 2-3 を制御するためのコマンドであり、ホストコンピュータ 5 がフラッシュメモリシステム 1 を制御するための「外部コマンド」と区別される。

ECC ブロック 11 は、フラッシュメモリチップ 2-0 ~ 2-3 に書き込むデータに付加すべきエラーコレクションコードを生成するとともに、読み出しデータに付加されたエラーコレクションコードに基づいて、読み出しデータに含まれる誤りを訂正するための機能ブロックである。

フラッシュシーケンサブロック 12 は、フラッシュメモリチップ 2-0 ~ 2-3 とバッファ 9 とのデータの転送を制御するための機能ブロックである。フラッシュシーケンサブロック 12 は、複数のレジスタ（図示せず）を備え、マイクロプロセッサ 6 による制御のもと、フラッシュメモリチップ 2-0 ~ 2-3 からのデータの読み出しまたはフラッシュメモリチップ 2-0 ~ 2-3 へのデータの書き込みに必要な値がこれらレジスタに設定されると、データの読み出しまたは書き込みに必要な一連の動作を自動的に実行する。

次に、各フラッシュメモリチップ 2-0 ~ 2-3 を構成する各フラッシュメモリセルの具体的な構造について説明する。

図 2 は、フラッシュメモリチップ 2-0 ~ 2-3 を構成する各フラッシュメモリセル 16 の構造を概略的に示す断面図である。

図 2 に示されるように、フラッシュメモリセル 16 は、P 型半導体基板 17 に形成された N 型のソース拡散領域 18 及びドレイン拡散領

域 19 と、ソース拡散領域 18 とドレイン拡散領域 19 との間の P 型半導体基板 17 を覆って形成されたトンネル酸化膜 20 と、トンネル酸化膜 20 上に形成されたフローティングゲート電極 21 と、フローティングゲート電極 21 上に形成された絶縁膜 22 と、絶縁膜 22 上に形成されたコントロールゲート電極 23 とから構成される。このような構成を有するフラッシュメモリセル 16 は、フラッシュメモリチップ 2-0 ~ 2-3 内において、複数個直列に接続されて、NAND 型フラッシュメモリを構成する。

フラッシュメモリセル 16 は、フローティングゲート電極 21 に電子が注入されているか否かによって、「消去状態」と「書込状態」のいずれかの状態が示される。フラッシュメモリセル 16 が消去状態であることは、当該フラッシュメモリセル 16 にデータ「1」が保持されていることを意味し、フラッシュメモリセル 16 が書込状態であることは、当該フラッシュメモリセル 16 にデータ「0」が保持されていることを意味する。すなわち、フラッシュメモリセル 16 は、1 ビットのデータを保持することが可能である。

図 2 に示されるように、消去状態とは、フローティングゲート電極 21 に電子が注入されていない状態を指す。消去状態におけるフラッシュメモリセル 16 は、デプレッション型のトランジスタとなり、コントロールゲート電極 23 に読み出し電圧が印加されているか否かに関わらず、ソース拡散領域 18 とドレイン拡散領域 19 との間の P 型半導体基板 17 の表面にはチャネル 24 が形成される。したがって、ソース拡散領域 18 とドレイン拡散領域 19 とは、コントロールゲート電極 23 に読み出し電圧が印加されているか否かに関わらず、チャネル 24 によって常に電気的に接続状態となる。

図 3 は、書込状態であるフラッシュメモリセル 16 を概略的に示す断面図である。

図 3 に示されるように、書込状態とは、フローティングゲート電極 21 に電子が蓄積されている状態を指す。フローティングゲート電極 21 はトンネル酸化膜 20 及び絶縁膜 22 に挟まれているため、一旦、

フローティングゲート電極 21 に注入された電子は、きわめて長時間フローティングゲート電極 21 内にとどまる。書込状態におけるフラッシュメモリセル 16 は、エンハンスメント型のトランジスタとなり、コントロールゲート電極 23 に読み出し電圧が印加されていないとき

5 には、ソース拡散領域 18 とドレイン拡散領域 19 との間の P 型半導体基板 17 の表面にはチャネルが形成されず、コントロールゲート電極 23 に読み出し電圧が印加されているときには、ソース拡散領域 18 とドレイン拡散領域 19 との間の P 型半導体基板 17 の表面にチャネル（図示せず）が形成される。したがって、コントロールゲート電極 23 に読み出し電圧が印加されていない状態では、ソース拡散領域 18 とドレイン拡散領域 19 とは電氣的に絶縁され、コントロールゲート電極 23 に読み出し電圧が印加された状態では、ソース拡散領域 18 とドレイン拡散領域 19 とが電氣的に接続される。

10

ここで、選択されたフラッシュメモリセル 16 が消去状態であるか書込状態であるかは、次のようにして読み出すことができる。すなわち、複数個直列に接続されたフラッシュメモリセル 16 のうち、選択されたフラッシュメモリセル 16 以外の全てのフラッシュメモリセル 16 のコントロールゲート電極 23 に読み出し電圧を印加し、この状態において、これらフラッシュメモリセル 16 の直列体に電流が流れるか否かを検出する。その結果、かかる直列体に電流が流れれば、選択されたフラッシュメモリセル 16 が消去状態であると判断することができ、かかる直列体に電流が流れなければ、選択されたフラッシュメモリセル 16 が書込状態であると判断することができる。このようにして、直列体に含まれる任意のフラッシュメモリセル 16 に保持されたデータが「0」であるのか「1」であるのかを読み出すことができる。但し、NAND 型フラッシュメモリにおいては、ひとつの直列体に含まれる 2 以上のフラッシュメモリセル 16 に保持されたデータを同時に読み出すことはできない。

15

20

25

また、消去状態であるフラッシュメモリセル 16 を書込状態に変化させる場合、コントロールゲート電極 23 に正の高電圧が印加され、

30

これによって、トンネル酸化膜 20 を介してフローティングゲート電極 21 へ電子が注入される。フローティングゲート電極 21 への電子の注入は、FN トンネル電流による注入が可能である。一方、書込状態であるフラッシュメモリセル 16 を消去状態に変化させる場合、コントロールゲート電極 23 に負の高電圧が印加され、これによって、トンネル酸化膜 20 を介してフローティングゲート電極 21 に蓄積された電子が排出される。

次に、各フラッシュメモリチップ 2-0 ~ 2-3 の持つアドレス空間の具体的な構成について説明する。

図 4 は、フラッシュメモリチップ 2-0 のアドレス空間の構造を概略的に示す図である。

図 4 に示されるように、フラッシュメモリチップ 2-0 のアドレス空間は、物理ブロック #0 ~ #8191 からなる 8192 個の物理ブロックによって構成される。また、図 4 には示されていないが、フラッシュメモリチップ 2-1 ~ 2-3 も、フラッシュメモリチップ 2-0 と同様に物理ブロック #0 ~ #8191 からなる 8192 個の物理ブロックによって構成されている。これら各物理ブロックは、いずれも 16 K バイトの記憶容量を有する。

ここで、上記各物理ブロックは、データの消去単位である。すなわち、フラッシュメモリチップ 2-0 ~ 2-3 では、各フラッシュメモリセル 16 ごとに、その状態を書込状態から消去状態に変化させることはできず、フラッシュメモリセル 16 を書込状態から消去状態に変化させる場合は、当該フラッシュメモリセル 16 が属する物理ブロックに含まれる全てのフラッシュメモリセル 16 が一括して消去状態とされる。逆に、フラッシュメモリチップ 2-0 ~ 2-3 では、各フラッシュメモリセル 16 ごとに、その状態を消去状態から書込状態に変化させることは可能である。

さらに、図 4 に示されるように、フラッシュメモリチップ 2-0 を構成する各物理ブロック #0 ~ #8191 は、それぞれ物理ページ #0 ~ #31 からなる 32 個の物理ページによって構成されている。ま

た、フラッシュメモリチップ 2-1 ~ 2-3 を構成する各物理ブロック #0 ~ #8191 も、フラッシュメモリチップ 2-0 を構成する各物理ブロック #0 ~ #8191 と同様に、それぞれ 32 個の物理ページによって構成されている。

- 5 これら各ページはデータの読み出し及び書き込みにおけるアクセス単位であり、図 4 に示されるように、ビット b0 ~ b7 からなる 8 ビットを 1 バイトとして、それぞれ 512 バイトのユーザ領域 25 と 16 バイトの冗長領域 26 によって構成される。ユーザ領域 25 は、ホストコンピュータ 5 より供給されるユーザデータが格納される領域である。

図 5 は、冗長領域 26 のデータ構造を概略的に示す図である。

- 図 5 に示されるように、冗長領域 26 を構成するデータは、エラー
 コレクションコード 28、対応論理ブロックアドレス 29、論理ブ
 ロックアドレス用巡回冗長ビット (CRC) 31、スタートページフラ
 15 グ 32、スタートページデータ 33 及びその他の付加情報からなる。

- エラーコレクションコード 28 は、対応するユーザ領域 25 に格納
 されたユーザデータの誤りを訂正するための付加情報であり、ユーザ
 領域 25 に格納されたデータに含まれるデータの誤りが所定数以下で
 あれば、エラーコレクションコードを用いてこれを訂正し、正しいデ
 20 ータとすることができる。

対応論理ブロックアドレス 29 は、ページ #0 ~ #3 及びページ #
 31 において有効な付加情報であり、当該物理ブロックがいかなる論
 理ブロックアドレスによりアクセスされるかを示す。対応論理ブロッ
 クアドレス 29 の詳細については後述する。

- 25 CRC 31 は、ページ #0 ~ #3 及びページ #31 において有効な
 付加情報であり、対応論理ブロックアドレス 29 に含まれる誤りを検
 出するために用いられる。CRC 31 は、エラーコレクションコード
 28 がユーザデータに含まれる誤りを訂正可能であるのとは異なり、
 対応論理ブロックアドレス 29 に含まれる誤りを訂正することはでき
 30 ず、単に、対応論理ブロックアドレス 29 に誤りがあるか否かを検出

するためだけに用いられる。

スタートページフラグ 3 2 は、少なくとも 2 ビットで構成されるフラグであり、このうち、上位の 1 ビットはページ # 0 において有効なビットであり、下位の 1 ビットはページ # 0 ~ # 3 0 において有効なビットである。具体的には、ページ # 0 のスタートページフラグ 3 2 が「1 x (x は任意)」であれば当該物理ブロックにスタートページが存在することを示し、ページ # 0 のスタートページフラグ 3 2 が「0 x」であれば当該物理ブロックにスタートページが存在しないことを示す。また、ページ # 0 ~ # 3 0 のスタートページフラグが「x 0」であれば、対応するスタートページデータ 3 3 が有効であることを示し、スタートページフラグ 3 2 が「x 1」であれば、対応するスタートページデータ 3 3 が無効であることを示す。

スタートページデータ 3 3 は、当該物理ブロックのスタートページを特定するための付加情報である。ここで、「スタートページ」とは、当該物理ブロックにおいて、最終ページを含む 1 または 2 以上の連続するページが、データの格納されていない空きページとなっている場合に、これら連続するページの中の先頭のページを指す。例えば、ある物理ブロックのページ # 0 ~ # 1 0 にのみデータが格納されている場合には、当該物理ブロックにおけるスタートページはページ # 1 1 となり、ある物理ブロックのページ # 2 3 にのみデータが格納されている場合には、当該物理ブロックにおけるスタートページはページ # 2 4 となる。したがって、各物理ブロックにおいて、スタートページ以降のページは、データの格納されていない空きページであることが保証される。

スタートページデータ 3 3 を用いたスタートページの特定は、「スタートページ検索」によって行うことができる。スタートページ検索においては、まず、ページ # 0 のスタートページデータ 3 3 が参照され、その内容が示すページのスタートページフラグ 3 2 が参照される。例えば、ページ # 0 のスタートページデータ 3 3 が「0 0 1 1 1 B (7)」であれば、次に、ページ # 7 のスタートページフラグ 3 2 が参

照される。その結果、参照されたスタートページフラグ 3 2 が「x 0」であるために、対応するスタートページデータ 3 3 が有効であると判断されれば、さらにその内容が示すページのスタートページフラグ 3 2 が参照される。このようにして、スタートページデータ 3 3 に基づき、対応するスタートページフラグ 3 2 が有効であるか否かを次々に判定し、参照されたスタートページフラグ 3 2 が「x 1」となったところでスタートページ検索を終了し、かかるページが最終的に「スタートページ」と判断される。例えば、上記の例で言えば、ページ # 7 のスタートページフラグ 3 2 が「x 1」であれば、スタートページはページ # 7 であると判断される。

冗長領域 2 6 のその他の領域には、当該物理ブロックについての異常を表示するブロックステータス等が格納されているが、これらについての説明は省略する。

このように、各ページは、5 1 2 バイトのユーザ領域 2 5 と 1 6 バイトの冗長領域 2 6 からなるので、各ページは、 $8 \times (5 1 2 \text{ バイト} + 1 6 \text{ バイト}) = 4 2 2 4$ 個のフラッシュメモリセルによって構成されることになる。

このように、各フラッシュメモリチップ 2-0 ~ 2-3 は 8 1 9 2 個の物理ブロックによって構成されるが、このうち、8 0 0 0 個の物理ブロックは実際にデータを格納することができる物理ブロック（以下、「実使用ブロック」という）として取り扱われ、残りの 1 9 2 個の物理ブロックは「冗長ブロック」として取り扱われる。冗長ブロックは、データ書き込みに備えて待機している空きブロックである。フラッシュメモリチップ 2-0 ~ 2-3 のアドレス空間は、実使用ブロックのみによって構成される。ある物理ブロックに不良が発生し、使用不能となった場合には、不良が発生した物理ブロックの数だけ冗長ブロックとして割り当てられる物理ブロックの数が減らされる。

このような構成からなるフラッシュメモリチップ 2-0 ~ 2-3 は、上述のとおり、1 M ページのアドレス空間を備える一つの大きなメモリとして取り扱われるので、これら 1 M ページからなるアドレス空間

から特定のページにアクセスするためには、上述のとおり、20ビットのホストアドレスが用いられる。20ビットのホストアドレスのうち、上位15ビットは、フラッシュメモリチップの特定及び特定されたフラッシュメモリチップに含まれる物理ブロックの特定に用いられ、
5 残りの5ビット（下位5ビット）は、特定された物理ブロックに含まれるページの特定に用いられる。

ホストアドレスの上位15ビットを用いたフラッシュメモリチップ及び物理ブロックの特定は、ホストアドレスの上位15ビットを「8000」で除することによって行われ、かかる除算によって得られた
10 商（0～3）によってアクセスすべきフラッシュメモリチップが決定され、剰余（0～7999）によって「論理ブロックアドレス」が決定される。かかる論理ブロックアドレスは、後述する「アドレス変換テーブル」にて、「物理ブロックアドレス」に変換され、これにより実際にアクセスすべき物理ブロックが特定される。

15 ここで、アドレス変換テーブルを用いて論理ブロックアドレスを物理ブロックアドレスに変換する必要性について説明する。

上述のとおり、フラッシュメモリチップ2-0～2-3を構成するフラッシュメモリセル16は、これをメモリセル単位にて消去状態から書込状態へ変化させることはできる一方、これを書込状態から消去
20 状態へ変化させることは、メモリセル単位で行うことができず、物理ブロック単位でしか行うことができない。このため、あるページにデータを書き込む際には、そのページのユーザ領域25を構成する全てのフラッシュメモリセル16が消去状態となっている必要があり、既に何らかのデータが書き込まれているページ、すなわち、そのページ
25 のユーザ領域25を構成するフラッシュメモリセル16が一つでも書込状態となっているページに、これと異なるデータを直接上書きすることはできない。したがって、既にデータの書き込まれたページに対し、これと異なる新しいデータを書き込むためには、一旦、このページが属する物理ブロックを構成するフラッシュメモリセル16を全て
30 消去状態とし、その後に新しいデータを書き込むという処理が必要と

なる。

したがって、あるページに格納された古いデータに新しいデータを
上書きしようとする場合、このページが属する物理ブロックに含まれ
る他のページに格納されたデータが消失するのを防ぐためには、当該
5 他のページに格納されたデータを、他の物理ブロックに移動させると
いう処理が必要となる。したがって、ホストアドレスより得られた論
理ブロックアドレスと、当該論理ブロックアドレスに対応するフラッ
シユメモリチップ2-0~2-3上の物理ブロックアドレスとの関係
は、ホストコンピュータ5からデータの上書きが指示される度に動的
10 に変化する。このような理由から、ホストコンピュータ5からフラッ
シユメモリチップ2-0~2-3をアクセスするためには、論理プロ
ックアドレスと、当該論理ブロックアドレスに対応するフラッシュメ
モリ上の物理ブロックアドレスとの関係を示す情報が格納されるアド
レス変換テーブルが必要となるのである。アドレス変換テーブルの詳
15 細については後述する。

次に、SRAMワークエリア8に格納される各種作業データについ
て説明する。SRAMワークエリア8には、少なくとも、アドレス変
換テーブル27及び消去済みブロックキュー30が格納される。

図6は、SRAMワークエリア8に格納されるアドレス変換テーブ
20 ル27のデータ構造を示す概略図である。

図6に示されるように、アドレス変換テーブル27は、テーブル#
0~#3からなる4つのテーブルによって構成され、これら各テーブ
ルは、8000個のフラグ、8000個の物理ブロックアドレス格納
領域及び8000個のスタートページ格納領域によって構成される。
25 これらテーブル#0~#3は、それぞれフラッシュメモリチップ2-
0~2-3に対応している。

各テーブル#0~#3内の8000個の物理ブロックアドレス格納
領域#0~#7999には、それぞれ対応する物理ブロックアドレス
(13ビット)が格納され、これによって、論理ブロックアドレスと
30 物理ブロックアドレスとの対応関係を示すアドレス変換情報が形成さ

れる。すなわち、テーブル#0内の物理ブロックアドレス格納領域#0～#7999には、フラッシュメモリチップ2-0を構成する8000個の実使用ブロックの物理ブロックアドレスが割り当てられ、これら割り当てられた論理ブロックアドレスと、これに格納された物理ブロックアドレスとが、対応関係を有することになる。同様に、テーブル#1～#3内の物理ブロックアドレス格納領域#0～#7999には、それぞれフラッシュメモリチップ2-1～2-3を構成する8000個の実使用ブロックの物理ブロックアドレスが割り当てられる。

例えば、ホストコンピュータ5から供給されたホストアドレスの上位15ビットからなる「101010101010101B」であれば、これを8000で除した場合の商は「2」であり、剰余は「5845」であるから、テーブル#2内の物理ブロックアドレス格納領域#5845が選択され、ここに格納されている物理ブロックアドレス、例えば、格納されている物理ブロックアドレスが「000000000111111B」であれば、物理ブロックアドレスとして「31」が読み出され、これにより、フラッシュメモリチップ2-2における論理ブロックアドレス#5845から、フラッシュメモリチップ2-2における物理ブロックアドレス#31への変換が完了する。

また、各テーブル#0～#3内の8000個のフラグは、当該テーブル内の物理ブロックアドレス格納領域#0～#7999にそれぞれ対応しており、対応する物理ブロックアドレス格納領域に格納された物理ブロックアドレスが有効な値であるか否かを示す。具体的には、かかるフラグが「1」であれば対応する物理ブロックアドレス格納領域に格納された物理ブロックアドレスが有効な値であることを示し、かかるフラグが「0」であれば対応する物理ブロックアドレス格納領域に格納された物理ブロックアドレスが有効な値ではないことを示す。したがって、対応するフラグが「0」である論理ブロックアドレスには、まだ物理ブロックアドレスが関連づけられていないことを意味する。

さらに、各テーブル#0～#3内の8000個のスタートページ格

納領域#0～#7999は、当該テーブル内の物理ブロックアドレス格納領域#0～#7999にそれぞれ対応しており、対応する物理ブロックアドレス格納領域に格納された物理ブロックアドレスにより示される物理ブロックのスタートページに関する情報が格納される。

- 5 各テーブル#0～#3内の8000個のスタートページ格納領域#0～#7999には、スタートページに関する情報が5ビットで格納されている。具体的には、スタートページ格納領域に格納されたスタートページが「00000B」である場合には、対応する物理ブロックにはスタートページが存在しないことを示し、「00001B」である場合には、対応する物理ブロックにスタートページは存在するが、
- 10 上述したスタートページ検索によってスタートページを求める必要があることを示し、それ以外の値である場合には、その値がスタートページであることを示す。例えば、スタートページ格納領域に格納されたスタートページが「01100B」である場合には、当該物理ブロックのスタートページはページ#12となる。
- 15

上述のように、アドレス変換テーブル27は、32000個のフラグ、32000個の物理ブロック格納領域及び32000個のスタートページ格納領域によって構成されており、各フラグには1ビットの情報を格納する必要があり、各物理ブロック格納領域には13ビットの情報を格納する必要があり、各スタートページ格納領域には5ビットの情報を格納する必要があるから、アドレス変換テーブル27は、

20 SRAMワークエリア8の記憶容量のうち、約76kバイトを占有することとなる。

アドレス変換テーブル27の生成は、次のように行われる。

- 25 フラッシュメモリチップ2-0～2-3を構成する各物理ブロックのうち、データが格納されている物理ブロックの各先頭ページ（ページ#0）に含まれる冗長領域26には、上述のとおり、当該物理ブロックがいかなる論理ブロックアドレスに対応するかを示す対応論理ブロックアドレス29が含まれており、各物理ブロックの各先頭ページ
- 30 に格納されている対応論理ブロックアドレス29及びCRC31がマ

マイクロプロセッサ6による制御のもと、フラッシュメモリインターフェースブロック10を介して読み出される。

このとき、CRC31を用いることによって、各対応論理ブロックアドレス29に誤りが含まれているか否かがチェックされ、対応論理ブロックアドレス29に誤りが含まれていると判断された場合には、当該物理ブロックのページ#1に格納されている対応論理ブロックアドレス29及びCRC31が新たに読み出される。このようにして、ページ#1から読み出された対応論理ブロックアドレス29についても、CRC31を用いることによって誤りが含まれているか否かがチェックされ、対応論理ブロックアドレス29に誤りが含まれていると判断された場合には、当該物理ブロックのページ#2に格納されている対応論理ブロックアドレス29及びCRC31が新たに読み出される。このような処理はページ#3まで行われ、ページ#3の対応論理ブロックアドレス29にも誤りがあれば、当該物理ブロックは不良ブロックであるか否か診断され、その結果不良ブロックであると診断されれば、その後の使用が禁止される。

一方、各物理ブロックのページ#0～#3のいずれかから誤りのない対応論理ブロックアドレス29が読み出された場合、マイクロプロセッサ6による制御のもと、かかる対応論理ブロックアドレス29を用いて、これら物理ブロックが消去済みの空きブロックであるか否かが判断される。

ここで、消去済みの空きブロックにおいては、冗長領域26に格納されている対応論理ブロックアドレス29は「オール1 (11111111111111111111B)」となっているはずである。すなわち、対応論理ブロックアドレス29は、上述のとおり、#0 (00000000000000000000B)～#7999 (11111100111111111111B)までしかなく、したがって、これがオール1 (11111111111111111111B)である場合には、当該物理ブロックが消去済みの空きブロックであると判断することができる。一方、対応論理ブロックアドレス29が「00000000000000000000B」～「11111100111111

1 B」である場合には、当該対応論理ブロックアドレス 2 9 は有効な論理ブロックアドレスである。

したがって、マイクロプロセッサ 6 は、各物理ブロックのページ # 0 ~ # 3 の冗長領域 2 6 に含まれる対応論理ブロックアドレス 2 9 を参照し、これがオール 1 ではなく有効な論理ブロックアドレスの番号を示していれば、チップ番号に対応するテーブルに属する物理ブロックアドレス格納領域のうち、読み出された対応論理ブロックアドレス 2 9 と同じ論理ブロックアドレスが割り当てられた物理ブロックアドレス格納領域に、かかる対応論理ブロックアドレス 2 9 を読み出した物理ブロックの物理ブロックアドレスを格納するとともに、対応するフラグを「1」とする。例えば、対応論理ブロックアドレス 2 9 を読み出した物理ブロックがフラッシュメモリチップ 2 - 0 に属し、その物理ブロックアドレスが「1 0」であり、読み出された対応論理ブロックアドレス 2 9 が「1 2 3」であれば、テーブル # 0 に属する物理ブロックアドレス格納領域のうち、論理ブロックアドレスとして「1 2 3」が割り当てられた物理ブロックアドレス格納領域 # 1 2 3 に、物理ブロックアドレスとして「1 0」が書き込まれ、さらに、対応するフラグが「1」にされる。

さらに、マイクロプロセッサ 6 は、対応論理ブロックアドレス 2 9 が有効な論理ブロックアドレスの番号を示していれば、当該物理ブロックの各先頭ページ（ページ # 0）の冗長領域 2 6 に格納されているスタートページフラグ 3 2 を参照する。ページ # 0 におけるスタートページフラグ 3 2 は、上述のとおり、「1 x」であれば当該物理ブロックにスタートページが存在することを示し、「0 x」であれば当該物理ブロックにスタートページが存在しないことを示す。そして、スタートページフラグを参照した結果、これが「1 x」であれば、アドレス変換テーブル 2 7 内の対応するスタートページ格納領域の内容を「0 0 0 1 B」とし、これが「0 x」であれば、アドレス変換テーブル 2 7 内の対応するスタートページ格納領域の内容を「0 0 0 0 0 B」とする。

以上のような処理が、データの格納されている全ての物理ブロックについて行われ、これによりアドレス変換テーブル27の作成作業が完了する。

次に、SRAMワークエリア8に格納される消去済みブロックキュー30のデータ構造について説明する。

図7は、SRAMワークエリア8に格納される消去済みブロックキュー30のデータ構造を示す概略図である。

図7に示されるように、消去済みブロックキュー30は、キュー#0～#7からなる8つのキューによって構成される。これら各キュー#0～#7は、それぞれSRAMワークエリア8の2バイトの記憶領域を使用しており、それぞれには物理ブロックアドレスが、13ビットのデータによって格納されている。したがって、消去済みブロックキュー30は、SRAMワークエリア8の記憶容量のうち、16バイトを占有することとなる。

消去済みブロックキュー30を構成するキュー#0～#7のうち、キュー#0及び#1は、フラッシュメモリ2-0用のキューであり、キュー#0及び#1には、フラッシュメモリ2-0に含まれる消去済みブロック、すなわち、ユーザ領域25及び冗長領域26を構成する全てのフラッシュメモリセル16が消去状態となっている物理ブロックの物理ブロックアドレスが格納される。同様に、キュー#2及び#3は、フラッシュメモリ2-1用のキューであり、キュー#4及び#5は、フラッシュメモリ2-2用のキューであり、キュー#6及び#7は、フラッシュメモリ2-3用のキューである。

消去済みブロックキュー30の生成は、マイクロプロセッサ6による制御のもと、上述したアドレス変換テーブル27の生成の際に行われる。

すなわち、フラッシュメモリチップ2-0～2-3を構成する各物理ブロックのページ#0～ページ#3に含まれる冗長領域26には、上述のとおり、対応論理ブロックアドレス29が含まれており、アドレス変換テーブル27が生成される際、マイクロプロセッサ6による

- 制御のもと、対応論理ブロックアドレス29が「オール1（1111111111111111B）」となっている物理ブロックが検索される。かかる検索により、各フラッシュメモリチップについて、最大192個の消去済みブロックが検出されて冗長ブロックとなり、さらにこの中から最大2つの冗長ブロックが選択されて、その物理ブロックアドレスが、対応するフラッシュメモリチップ用の2つのキューに格納される。

消去済みブロックキュー30の生成は、マイクロプロセッサ6による制御のもと、上述したアドレス変換テーブル27の生成の際に行われる。

- 次に、本実施態様にかかるフラッシュメモリシステム1による種々のデータ書き込み動作について説明する。

書き込み動作1（データの割り当てられていない論理ブロックアドレスに対して新規にデータを書き込む場合）

- データの割り当てられていない論理ブロックアドレスに対して新規にデータを書き込む場合、ユーザデータを書き込むべきページ、並びに、ユーザデータを書き込むべきページとは無関係に当該物理ブロックのページ#0～#3及びページ#31の冗長領域26には、対応論理ブロックアドレス29及びCRC31が格納される。

- ページ#0～#3の冗長領域26に対応論理ブロックアドレス29及びCRC31を格納するのは、上述したアドレス変換テーブル27の作成の際にこれが参照されるからである。また、ページ#31の冗長領域26に対応論理ブロックアドレス29及びCRC31を格納するのは、ブロック間転送が行われている途中で不意に電源が切断された等の理由により、その内容が不完全な物理ブロックが存在する場合に、当該物理ブロックの直前の状態における対応論理ブロックアドレスの特定を可能とするためである。

- ここで、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス29及びCRC31を書き込む対象として、ページ#0～#3を選択しているのは次の理由による。すなわち、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス2

9及びCRC31を書き込む対象となるページが少なければ少ないほど、ユーザデータを書き込むべきページ以外のページに対する書き込み処理が減少するため、一連の書き込み処理をより高速に実行することが可能となる反面、対応論理ブロックアドレス29にエラーが発生した場合にこれを救済できる確率が減少する。一方、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス29及びCRC31を書き込む対象となるページが多ければ多いほど、対応論理ブロックアドレス29にエラーが発生した場合にこれを救済できる確率が高くなる反面、ユーザデータを書き込むべきページ以外のページに対する書き込み処理が増加するため、一連の書き込み処理により多くの時間がかかる。このため、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス29及びCRC31を書き込む対象となるページを、先頭ページ（ページ#0）を含む何ページとするかは、これらを考慮して決定する必要がある。そこで、本実施態様においては、ページ#0～#3に格納された対応論理ブロックアドレス29がいずれもエラーを含んでいる場合は、当該物理ブロックに致命的な不良が存在する可能性が極めて高いと考えられることから、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス29及びCRC31を書き込む対象となるページとして、ページ#0～#3を選択しているのである。

一方、実際にユーザ領域25にデータが書き込まれるページに関しては、これがページ#0～#3及びページ#31以外であっても、当該ページの冗長領域26には、対応論理ブロックアドレス29及びCRC31が格納される。

以上より、空きブロックにデータを書き込む場合、ユーザデータを書き込むべきページ、ページ#0～#3及びページ#31に対しては、必ず書き込み処理が実行されることになる。一方、ページ#4～#30に属し、且つ、ユーザデータを書き込むべきページではないページに対しては、対応論理ブロックアドレス29及びCRC31の書き込み処理は行われぬ。

次に、空きブロックにデータを書き込む場合における、冗長領域 2 6 内のスタートページフラグ 3 2 及びスタートページデータ 3 3 の書き込みについて説明する。

- 5 空きブロックにデータを書き込む場合、当該書き込み処理によって
スタートページとなるページの番号が、スタートページデータ 3 3 と
してページ # 0 の冗長領域 2 6 に書き込まれるとともに、ページ # 0
の冗長領域 2 6 のスタートページフラグ 3 2 が「1 0」に書き換えら
れる。但し、当該書き込み処理を行った結果、スタートページが存在
しない場合、すなわち、ユーザデータを書き込むべきページにページ
10 # 3 1 が含まれている場合には、ページ # 0 の冗長領域 2 6 のスター
トページフラグ 3 2 が「0 x」に書き換えられる。

ここで、スタートページとなるページとは、ユーザデータを書き込むべきページの最終ページの次のページである。

- 15 以上説明した、空きブロックに対するデータの書き込み処理につい
て、具体的な例を挙げてより詳細に説明する。

- ここでは、ホストコンピュータ 5 より、バス 1 4、コネクタ 4 及び
バス 1 3 を介して、外部コマンドの一種である外部書き込みコマンド
と、2つのホストアドレス「0 0 0 0 0 0 1 1 1 1 1 0 1 0 0 0 0 0
0 1 B」(ホストアドレス # 0) 及び「0 0 0 0 0 0 1 1 1 1 1 0 1 0
20 0 0 0 0 1 0 B」(ホストアドレス # 1) と、これらホストアドレスに
それぞれ書き込むべきデータとがフラッシュメモリシステム 1 に供給
された場合を例に説明する。

- まず、ホストアドレス # 0、# 1 及び外部書き込みコマンドがコン
トローラ 3 に供給されると、これらホストアドレス及び外部書き込み
25 コマンドは、ホストインターフェースブロック 7 が有するタスクファ
イルレジスタ (図示せず) に一時的に格納される。さらに、書き込み
データがコントローラ 3 に供給されると、マイクロプロセッサ 6 によ
る制御のもと、E C C ブロック 1 1 に送出される。書き込みデータの
供給を受けた E C C ブロック 1 1 は、これを解析してエラーコレクシ
30 ョンコード 2 8 を生成し、これを一時的に保持する。さらに、E C C

ブロック 11 は、スタートページデータとして、ホストアドレス #1 の下位 5 ビットに 1 を加算したデータを生成し、これを一時的に保持する。この場合、スタートページデータは、「00011 (3)」となる。

5 次に、タスクファイルレジスタ（図示せず）に格納されたホストアドレス #0、#1 が正しいアドレスであるか否か、すなわち、これらホストアドレスが、本来存在しないアドレスや無効なアドレスを示していないか否かが、ホストインターフェースブロック 7 によって判定される。

10 かかる判定の結果、タスクファイルレジスタ（図示せず）に格納されたホストアドレス #0、#1 が有効なアドレスであると判断されれば、アドレス変換テーブル 27 を用いて内部アドレスに変換される。一方、これが異常なアドレスであると判断されれば、ホストインターフェースブロック 7 が有するエラーレジスタ（図示せず）がセットされ、ホストコンピュータ 5 は、かかるレジスタの内容を参照することにより、エラーの発生を知ることができる。

内部アドレスへの変換は、次のように行われる。

まず、マイクロプロセッサ 6 による制御のもと、20 ビットのホストアドレスから上位 15 ビットが取り出され、これが「8000」で
20 除される。そして、かかる除算によって得られた商（0～3）によってアクセスすべきフラッシュメモリチップが特定され、剰余（0～7999）によって物理ブロックが特定される。本例では、ホストアドレスの上位 15 ビットが「000000111110100B」であるから、商は「00000B (0)」であり、剰余は「0111110100B (500)」となる。これにより、選択されるフラッシュメモリチップはフラッシュメモリチップ 2-0 となり、論理ブロックアドレスは論理ブロックアドレス #500 となる。

次に、マイクロプロセッサ 6 による制御のもと、アドレス変換テーブル 27 内のテーブル #0 から、論理ブロックアドレス #500 に基
30 づいて、物理ブロックアドレス格納領域 #500 に対応するフラグが

読み出される。本例においては、当該フラグは「0」であり、これにより、ホストアドレス#0、#1に対応する物理ブロックが存在しないことが検出される。

これに応答して、マイクロプロセッサ6による制御のもと、消去済みブロックキュー30を構成するキュー#0～#7のうち、フラッシュメモリチップ2-0用のキューであるキュー#0（またはキュー#1）に格納された物理ブロックアドレスが読み出される。ここでは、例えば、キュー#0に格納された物理ブロックアドレスが「00000000100B（4）」であるとする。上述のとおり、消去済みブロックキュー30のキュー#0に格納された物理ブロックアドレスは、フラッシュメモリチップ2-0に含まれる消去済みブロック、すなわち、ユーザ領域25及び冗長領域26を構成する全てのフラッシュメモリセル16が消去状態となっている物理ブロックの物理ブロックアドレス（13ビット）である。

キュー#0に格納されていた物理ブロックアドレス「00000000000100B（4）」が読み出されると、これがテーブル#0内の物理ブロックアドレス格納領域#500に格納されるとともに、物理ブロックアドレス格納領域#500に対応するスタートページ格納領域#500に、上記スタートページ「00011（3）」が格納される。さらに、対応するフラグが「1」に書き換えられる。そして、マイクロプロセッサ6による制御のもと、選択されたチップ番号、上記物理ブロックアドレス、及びホストアドレス#0、#1の下位5ビットがこの順に結合される。結合されたアドレスは、内部アドレスとなる。この場合、選択されたチップ番号は「00B」であり、読み出されたキューの内容は「00000000000100B」であり、ホストアドレス#0、#1の下位5ビットはそれぞれ「00001B」、「00010B」であることから、得られる内部アドレス#0、#1は、それぞれ「00000000000000100000001B」、「000000000000100000010B」となる。

以上より、ホストアドレス#0、#1から内部アドレス#0、#1

への変換が完了する。かかる内部アドレスは、上位2ビットによってフラッシュメモリチップを特定し、上位3ビット目～上位15ビット目からなる13ビットによって当該フラッシュメモリチップ内の物理ブロックを特定し、下位5ビットによって当該物理ブロック内のページを特定するので、内部アドレス#0によってアクセスされるのはフラッシュメモリチップ2-0内の物理ブロック#4のページ#1となり、内部アドレス#1によってアクセスされるのはフラッシュメモリチップ2-0内の物理ブロック#4のページ#2となる。

このようにして内部アドレスの生成が完了すると、次にマイクロプロセッサ6による制御のもと、フラッシュシーケンサブロック12が有する各種レジスタ（図示せず）に対する設定がなされる。かかる設定は、次のように行われる。

まず、マイクロプロセッサ6による制御のもと、内部コマンドの一種である内部書き込みコマンドがフラッシュシーケンサブロック12内の所定のレジスタに設定される。さらに、マイクロプロセッサ6による制御のもと、上記生成された内部アドレス#0、#1がフラッシュシーケンサブロック12内の所定のレジスタに設定される。

このようにしてフラッシュシーケンサブロック12に含まれる各種レジスタに対する設定が完了すると、フラッシュシーケンサブロック12による一連の書き込み動作が実行される。本例においては、フラッシュシーケンサブロック12による一連の書き込み動作は、フラッシュメモリチップ2-0内の物理ブロック#4のページ#0に対する各種冗長データの書き込み、同ブロックのページ#1に対するユーザデータ及び各種冗長データの書き込み、同ブロックのページ#2に対するユーザデータ及び各種冗長データの書き込み、同ブロックのページ#3に対する各種冗長データの書き込みの順に実行される。

まず、物理ブロック#4のページ#0に対する書き込み処理について説明する。

かかる動作においては、フラッシュシーケンサブロック12は、所

定のレジスタに格納された内部アドレス#0の上位2ビットに基づき、フラッシュメモリチップ2-0~2-3のうち、アクセスすべきページが属するフラッシュメモリチップに対応するチップ選択信号を活性化するように、フラッシュメモリインターフェースブロック10に指示する。この場合、内部アドレスの上位2ビットは「00B(0)」であるから、アクセスすべきページが属するフラッシュメモリチップは、フラッシュメモリチップ2-0であり、チップ選択信号#0が活性化される。これにより、フラッシュメモリチップ2-0は、データの書き込みが可能な状態となる。一方、チップ選択信号#1~#3は、非活性状態が保たれる。

次に、フラッシュシーケンサブロック12は、内部アドレス#0の下位5ビットを「00000B」とした書き込みアドレスを生成し、その下位18ビット「00000000000010000000B」を、所定のレジスタに格納された内部書き込みコマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する。バス15に供給された18ビットの内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#0は活性状態となっており、チップ選択信号#1~#3は非活性状態となっているので、バス15に供給された内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ2-0に対してのみ有効となる。

これにより、フラッシュメモリチップ2-0は、物理ブロック#4のページ#0に書き込まれるべきデータの受け付けが許可された状態となる。

次に、物理ブロック#4のページ#0に書き込むべきデータが、フラッシュシーケンサブロック12により、フラッシュメモリインターフェースブロック10を介して、バス15に供給される。ここで、物理ブロック#4のページ#0に書き込むべきデータとは、対応論理ブロックアドレス29、CRC31、スタートページフラグ32、スタートページデータ33及びその他の付加情報であり、これらはいずれ

も冗長領域 26 に書き込まれるデータである。この場合、対応論理ブロックアドレス 29 は「0000111110100B (500)」であり、CRC 31 は「0000111110100B (500)」に対応するコードであり、スタートページフラグ 32 は「10」であり、

5 スタートページデータ 33 は「00011 (3)」である。ページ # 0 のその他の部分、すなわち、ユーザ領域 25 の全部分、冗長領域 26 のうちエラーコレクションコード 28 及びその他の部分には何らのデータも書き込まれない。但し、各ページに対するデータの書き込みは、ページ単位で一括して行われるため、実際には、上記データを書き込まない部分については、書き込み処理が実行されないのではなく、「オー

10 ル 1」からなる書き込みデータが書き込まれることになる。

バス 15 に供給された対応論理ブロックアドレス 29、CRC 31、スタートページフラグ 32、スタートページデータ 33 及び冗長領域 26 に格納されるその他の付加情報は、やはりフラッシュメモリチップ 2-0 ~ 2-3 に対し共通に供給されるが、上述のとおり、チップ選択信号 # 0 が活性状態となっているため、フラッシュメモリチップ 2-0 に対してのみ有効となる。

このようにして、書き込みデータの受け付けが許可された状態にあるフラッシュメモリチップ 2-0 に対して、対応論理ブロックアドレス 29、CRC 31、スタートページフラグ 32、スタートページデータ 33 及び冗長領域 26 に格納されるその他の付加情報が転送されると、かかる対応論理ブロックアドレス 29、CRC 31、スタートページフラグ 32、スタートページデータ 33 及び冗長領域 26 に格納されるその他の付加情報は、フラッシュメモリチップ 2-0 内に備えられた内部レジスタ (図示せず) に一時的に格納される。

25

次に、フラッシュシーケンサブロック 12 は、所定のレジスタに格納された内部書き込みコマンドを、フラッシュメモリチップ 2-0 に対して発行する。これに応答して、フラッシュメモリチップ 2-0 は、内部レジスタに格納されている対応論理ブロックアドレス 29、CRC 31、スタートページフラグ 32、スタートページデータ 33 及び

30

冗長領域 26 に格納されるその他の付加情報を物理ブロック # 4 のページ # 0 の所定の位置に書き込む (フラッシュプログラミング)。

これにより、物理ブロック # 4 のページ # 0 に対する書き込み処理が完了する。

- 5 物理ブロック # 4 のページ # 0 に対する書き込み処理が完了すると、次に、物理ブロック # 4 のページ # 1 に対する書き込み処理が実行される。

- 10 物理ブロック # 4 のページ # 1 に対する書き込み処理においては、上述と同様にしてチップ選択信号 # 0 が活性化される。次いで、フラッシュシーケンサブロック 12 は、内部アドレス # 0 の下位 18 ビット「000000000000100000001B」を、所定のレジスタに格納された内部書き込みコマンドとともにバス 15 に供給するよう、フラッシュメモリインターフェースブロック 10 に指示する。上述のとおり、チップ選択信号 # 0 が活性状態となっているため、バス 15
- 15 に供給された内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ 2-0 に対してのみ有効となる。

これにより、フラッシュメモリチップ 2-0 は、物理ブロック # 4 のページ # 1 に書き込まれるべきデータの受け付けが許可された状態となる。

- 20 次に、物理ブロック # 4 のページ # 1 に書き込むべきデータが、フラッシュシーケンサブロック 12 により、フラッシュメモリインターフェースブロック 10 を介して、バス 15 に供給される。ここで、物理ブロック # 4 のページ # 1 に書き込むべきデータとは、ホストアドレス # 0 に対応するユーザデータ、当該ユーザデータに対応するエラー
- 25 コレクションコード 28、対応論理ブロックアドレス 29、CRC 31、スタートページフラグ 32、スタートページデータ 33 及び冗長領域 26 に格納されるその他の付加情報である。これらのうち、対応論理ブロックアドレス 29、CRC 31、スタートページフラグ 32 及びスタートページデータ 33 は、ページ # 0 に対するこれらデータと同じ内容である。
- 30

これらデータは、上述と同様、フラッシュメモリチップ2-0内に備えられた内部レジスタに一時的に格納され、内部書き込みコマンドの発行に応答して物理ブロック#4のページ#1の所定の位置に書き込まれる。すなわち、ページ#1のユーザ領域25には、ホストアドレス#0に対応するユーザデータが格納され、冗長領域26には、エラー

5 レーションコード28、対応論理ブロックアドレス29、CRC31、スタートページフラグ32、スタートページデータ33及びその他の付加情報が格納される。

これにより、物理ブロック#4のページ#1に対する書き込み処理

10 が完了する。

物理ブロック#4のページ#1に対する書き込み処理が完了すると、次に、物理ブロック#4のページ#2に対する書き込み処理が実行される。

物理ブロック#4のページ#2に対する書き込み処理は内部アドレス#1を用いて行われ、その手順は、物理ブロック#4のページ#1に対する上記書き込み処理と同様である。これによって、ページ#2のユーザ領域25には、ホストアドレス#1に対応するユーザデータが格納され、冗長領域26には、エラー

15 レーションコード28、対応論理ブロックアドレス29、CRC31、スタートページフラグ32、スタートページデータ33及びその他の付加情報が格納される。

20 2、スタートページデータ33及びその他の付加情報が格納される。

これにより、物理ブロック#4のページ#2に対する書き込み処理が完了する。

物理ブロック#4のページ#2に対する書き込み処理が完了すると、次に、物理ブロック#4のページ#3に対する書き込み処理が実行される。

25 される。

物理ブロック#4のページ#3に対する書き込み処理は、スタートページフラグ32及びスタートページデータ33が書き込まれない点を除き、上述した物理ブロック#4のページ#0に対する書き込み処理と同様である。これによって、ページ#3の冗長領域26には、対

30 応論理ブロックアドレス29及びCRC31が格納される。

これにより、物理ブロック # 4 のページ # 3 に対する書き込み処理が完了する。

物理ブロック # 4 のページ # 3 に対する書き込み処理が完了すると、次に、物理ブロック # 4 のページ # 3 1 に対する書き込み処理が実行される。

物理ブロック # 4 のページ # 3 1 に対する書き込み処理は、上述した物理ブロック # 4 のページ # 3 に対する書き込み処理と同様である。これによって、ページ # 3 1 の冗長領域 2 6 には、対応論理ブロックアドレス 2 9 及び CRC 3 1 が格納される。

これにより、一連の書き込み処理が完了する。

図 8 は、上記一連の書き込み処理が完了した状態における物理ブロック # 4 の内容を示す概略図である。

図 8 では、ユーザ領域 2 5 については、ユーザデータの格納されている部分にハッチングが施されており、冗長領域 2 6 については、対応論理ブロックアドレス 2 9、スタートページフラグ 3 2 及びスタートページデータ 3 3 のみが示され、エラーコレクションコード 2 8、CRC 3 1 及びその他の付加情報については省略されている。また、図 8 では、対応論理ブロックアドレス 2 9 及びスタートページデータ 3 3 については 1 0 進表示し、スタートページフラグ 3 2 については 2 進表示している。

図 8 に示されるように、物理ブロック # 4 のページ # 1 及び # 2 にはのみユーザデータが格納されており、その他のページにはユーザデータが格納されていないので、当該物理ブロックにおけるスタートページは「3」であり、かかる値がページ # 0 のスタートページデータ 3 3 として格納されていることが分かる。このため、コントローラ 3 は、この物理ブロックのページ # 3 ~ # 3 1 が空きページであることを知ることが可能となり、その後、ホストコンピュータ 5 より物理ブロック # 4 のページ # 3 ~ # 3 1 に対するデータの書き込みが要求された場合であっても、ブロック間転送を行うことなく、ページ # 3 ~ # 3 1 へ直接データを書き込むことが可能となる。

尚、上記の例では、先頭ページであるページ# 0 以外のページ（ユーザデータを書き込んだページ# 1 及び# 2）にも、スタートページフラグ 3 2 及びスタートページデータ 3 3 を書き込んでいるが、これを省略しても構わない。

5 書き込み動作 2（既にデータが割り当てられている論理ブロックアドレスに対してこれと異なるデータを割り当てる場合）

10 既にデータが割り当てられている論理ブロックアドレスに対してこれと異なるデータを割り当てる場合、アドレス変換テーブル 2 7 内の対応するスタートページ格納領域を参照することによって、対応する物理ブロックへのデータの追加的な書き込みが可能であるか否かが判断される。

かかる判断においては、まず、対応する物理ブロックに関するスタートページの特定制が行われる。スタートページの特定制は、上述のとおり、スタートページ検索によって特定制する方法と、アドレス変換テーブル 2 7 内のスタートページ格納領域に格納されたスタートページから直接特定制する方法がある。

20 前者の方法によるスタートページの特定制は、スタートページは存在するものの、コントローラ 3 が起動されてから当該物理ブロックへのデータの書き込みが未だ行われていない場合に実行される。すなわち、アドレス変換テーブル 2 7 の作成の際に、当該物理ブロックのページ# 0（または、ページ# 1～# 3）に含まれる対応論理ブロックアドレス 2 9 が有効な論理ブロックアドレスを示しており、且つ、スタートページフラグが「1 x」であった場合、アドレス変換テーブル 2 7 内の対応するスタートページ格納領域は「0 0 0 0 1 B」とされるので、この場合、コントローラ 3 は、スタートページ検索を行うことによって当該物理ブロックに関するスタートページを特定制することが可能となる。

30 一方、後者の方法によるスタートページの特定制は、上記書き込み動作 1 において説明したように、コントローラ 3 が起動された後、当該物理ブロックへのデータの書き込みが少なくとも 1 回行われた場合に

- 実行される。すなわち、当該物理ブロックへのデータの書き込みが少なくとも1回行われた場合、上述のとおり、アドレス変換テーブル27内の対応するスタートページ格納領域にスタートページが書き込まれるので、この場合、コントローラ3は、対応するスタートページ格納領域を参照することによって当該物理ブロックに関するスタートページを特定することが可能となる。

- このようにいずれかの方法でスタートページが特定されると、次にかかるスタートページと書き込み対象であるページの先頭ページとが比較され、これによってデータの追加的な書き込みが可能であるか否かが最終的に判断される。かかる判断は、書き込み対象であるページの先頭ページを示す5ビットの値が、スタートページを示す5ビットの値と同じか、またはこれを超えていれば、データの追加的な書き込みが可能であるとされ、書き込み対象であるページの先頭ページを示す5ビットの値が、スタートページを示す5ビットの値未満であれば、データの追加的な書き込みが不可能であるとされる。

かかる判断の結果、データの追加的な書き込みが不可能であると判断されれば、通常どおり、ブロック間転送が行われる。

- 一方、かかる判断の結果、データの追加的な書き込みが可能であると判断されれば、以下に詳述する、データの追加的な書き込み処理が行われる。

データの追加的な書き込み処理を行う場合、ユーザデータを書き込むべきページの先頭ページがスタートページと一致しているか否かによって、行われる処理が異なる。

- まず、ユーザデータを書き込むべきページの先頭ページがスタートページと一致している場合、すなわち、スタートページに対してユーザデータの書き込みが行われる場合には、当該書き込み処理によって新たなスタートページとなるページの番号が、スタートページデータ33としてユーザデータを書き込むべき各ページの冗長領域26に書き込まれる。

- 一方、書き込み対象であるページの先頭ページがスタートページと

一致していない場合、すなわち、スタートページに対してユーザデータの書き込みが行われない場合には、当該書き込み処理によって新たなスタートページとなるページの番号が、スタートページデータ 3 3 として現在のスタートページ及び書き込み対象の各ページの冗長領域 2 6 に書き込まれる。

また、いずれの場合においても、当該書き込み処理を行った結果、スタートページが存在しない場合、すなわち、ユーザデータを書き込むべきページにページ # 3 1 が含まれている場合には、ページ # 0 の冗長領域 2 6 のスタートページフラグ 3 2 が「0 x」に書き換えられる。

ここで、新たなスタートページとなるページとは、書き込み対象であるページの最終ページの次のページである。

以上説明した、データの追加的な書き込み処理について、具体的な例を挙げてより詳細に説明する。

まず、ユーザデータを書き込むべきページの先頭ページがスタートページと一致している場合について説明する。

ユーザデータを書き込むべきページの先頭ページがスタートページと一致している場合

ここでは、上述した書き込み動作 1 が完了した直後の状態において、ホストコンピュータ 5 より、バス 1 4、コネクタ 4 及びバス 1 3 を介して、外部コマンドの一種である外部書き込みコマンドと、2 つのホストアドレス「0 0 0 0 0 0 1 1 1 1 1 0 1 0 0 0 0 0 1 1 B」(ホストアドレス # 0) 及び「0 0 0 0 0 0 1 1 1 1 1 0 1 0 0 0 0 1 0 0 B」(ホストアドレス # 1) と、これらホストアドレスにそれぞれ書き込むべきデータとがフラッシュメモリシステム 1 に供給された場合を例に説明する。

ホストアドレス # 0、# 1 及び外部書き込みコマンドがコントローラ 3 に供給された場合の、コントローラ 3 の基本的な動作は上述したとおりであり、重複する部分の説明は省略する。

内部アドレスへの変換は、次のように行われる。

まず、マイクロプロセッサ6による制御のもと、20ビットのホストアドレスから上位15ビットが取り出され、これが「8000」で除される。そして、かかる除算によって得られた商（0～3）によってアクセスすべきフラッシュメモリチップが特定され、剰余（0～7

5 999）によって論理ブロックアドレスが特定される。

本例では、ホストアドレスの上位15ビットが「000000111110100B」であるから、商は「00000B（0）」であり、剰余は「0111110100B（500）」となる。これにより、選択されるフラッシュメモリチップはフラッシュメモリチップ2-0となり、論理ブロックアドレスは論理ブロックアドレス#500となる。

10 次に、マイクロプロセッサ6による制御のもと、アドレス変換テーブル27内のテーブル#0から、論理ブロックアドレス#500に基づいて、物理ブロックアドレス格納領域#500に対応するフラグが読み出される。本例においては、当該フラグは「1」であり、これにより、ホストアドレス#0、#1に対応する物理ブロックが存在することが検出される。これに応答して、物理ブロックアドレス格納領域#500に格納された内容が読み出される。本例においては、物理ブロックアドレス格納領域#500の内容は「00000000000100B」であり、これにより、ホストアドレス#0、#1に対応する

15 物理ブロックがフラッシュメモリチップ2-0内の物理ブロック#4であることが検出される。

次に、マイクロプロセッサ6による制御のもと、アドレス変換テーブル27内のテーブル#0から、論理ブロックアドレス#500に基づいて、スタートページ格納領域#500が選択され、ここに格納された内容が読み出される。本例においては、スタートページ格納領域#500の内容は「00011B（3）」である。

このようにしてスタートページが読み出されると、マイクロプロセッサ6による制御のもと、書き込み対象であるページの先頭ページとの比較が行われる。この場合、書き込み対象であるページの先頭ページは、ホストアドレス#0によって示されているので、スタートペー

30

ジの値「00011(3)」と、ホストアドレス#0の下位5ビットの値「00011(3)」とが比較されることとなる。このように、本例では、ホストアドレス#0の下位5ビットの値「00011(3)」がスタートページの値「00011(3)」と一致しているので、データの追加的な書き込みが可能であると判断される。

さらに、マイクロプロセッサ6による制御のもと、ユーザデータが書き込まれるべきページの最終ページを示すホストアドレス#1の下位5ビットに1を加算したデータを生成し、これによって新たなスタートページが生成される。かかるスタートページの値は、スタートページデータとして、ECCブロック11内に一時的に保持される。この場合、ホストアドレス#1の下位5ビットが「00100(4)」であるから、ECCブロック11内に格納されるスタートページデータは「00101(5)」となる。

そして、マイクロプロセッサ6による制御のもと、選択されたチップ番号、上記物理ブロックアドレス、及びホストアドレス#0、#1の下位5ビットがこの順に結合される。結合されたアドレスは、内部アドレスとなる。この場合、選択されたチップ番号は「00B」であり、物理ブロックアドレスは「000000000000100B」であり、ホストアドレス#0、#1の下位5ビットはそれぞれ「00011B」、「00100B」であることから、得られる内部アドレス#0、#1は、それぞれ「00000000000000100000011B」、「00000000000000100000100B」となる。

さらに、物理ブロックアドレス格納領域#500に対応するスタートページ格納領域#500に、上記スタートページ「00101(5)」が上書きされる。

以上より、ホストアドレス#0、#1から内部アドレス#0、#1への変換が完了する。これにより、内部アドレス#0によってアクセスされるのはフラッシュメモリチップ2-0内の物理ブロック#4のページ#3となり、内部アドレス#1によってアクセスされるのはフラッシュメモリチップ2-0内の物理ブロック#4のページ#4とな

る。

その後、フラッシュシーケンサブロック 12 が有する各種レジスタ（図示せず）への設定が完了すると、フラッシュシーケンサブロック 12 による一連の書き込み動作が実行される。本例においては、フラッシュシーケンサブロック 12 による一連の書き込み動作は、フラッシュメモリチップ 2-0 内の物理ブロック #4 のページ #3 に対するユーザデータ及び各種冗長データの書き込み、同ブロックのページ #4 に対するユーザデータ及び各種冗長データの書き込みの順に実行される。

- 10 まず、物理ブロック #4 のページ #3 に対する書き込み処理について説明する。

- 15 尚、物理ブロック #4 のページ #3 には、上記書き込み動作 1 において、すでに対応論理ブロックアドレス 29 の書き込みが実行されているが、ユーザ領域 25 を構成するフラッシュメモリセル 16 は全て消去状態（論理値 = 1）に保たれているので、ユーザデータの書き込みは可能である。

- 20 物理ブロック #4 のページ #3 に対する書き込み処理においては、フラッシュシーケンサブロック 12 は、所定のレジスタに格納された内部アドレス #0 の上位 2 ビットに基づき、チップ選択信号 #0 を活性化させる。これにより、フラッシュメモリチップ 2-0 は、データの書き込みが可能な状態となる。一方、チップ選択信号 #1 ~ #3 は、非活性状態が保たれる。

- 25 次いで、フラッシュシーケンサブロック 12 は、内部アドレス #0 の下位 18 ビット「00000000000100000011B」を、所定のレジスタに格納された内部書き込みコマンドとともにバス 15 に供給するよう、フラッシュメモリインターフェースブロック 10 に指示する。上述のとおり、チップ選択信号 #0 が活性状態となっているため、バス 15 に供給された内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ 2-0 に対してのみ有効となる。

- 30 これにより、フラッシュメモリチップ 2-0 は、物理ブロック #4

のページ# 3に書き込まれるべきデータの受け付けが許可された状態となる。

次に、物理ブロック# 4のページ# 3に書き込むべきデータが、フラッシュシーケンサブロック12により、フラッシュメモリインターフェースブロック10を介して、バス15に供給される。ここで、物理ブロック# 4のページ# 3に書き込むべきデータとは、ホストアドレス# 0に対応するユーザデータ、当該ユーザデータに対応するエラーコレクションコード28、スタートページフラグ32、スタートページデータ33及び冗長領域26に格納されるその他の付加情報である。

これらデータは、上述と同様、フラッシュメモリチップ2-0内に備えられた内部レジスタ（図示せず）に一時的に格納され、内部書き込みコマンドの発行に応答して物理ブロック# 4のページ# 3の所定の位置に書き込まれる。すなわち、ページ# 3のユーザ領域25には、ホストアドレス# 0に対応するユーザデータが格納され、冗長領域26には、エラーコレクションコード28、スタートページフラグ32、スタートページデータ33及びその他の付加情報が格納される。

これにより、物理ブロック# 4のページ# 3に対する書き込み処理が完了する。

物理ブロック# 4のページ# 3に対する書き込み処理が完了すると、次に、物理ブロック# 4のページ# 4に対する書き込み処理が実行される。

物理ブロック# 4のページ# 4に対する書き込み処理は内部アドレス# 1を用いて行われ、その手順は、物理ブロック# 4のページ# 3に対する上記書き込み処理と同様である。これによって、ページ# 4のユーザ領域25には、ホストアドレス# 1に対応するユーザデータが格納され、冗長領域26には、エラーコレクションコード28、スタートページフラグ32、スタートページデータ33及びその他の付加情報が格納される。

これにより、一連の書き込み処理が完了する。

図 9 は、上記一連の書き込み処理が完了した状態における物理ブロック # 4 の内容を示す概略図である。

図 9 では、ユーザ領域 2 5 については、ユーザデータの格納されている部分にハッチングが施されており、冗長領域 2 6 については、対応論理ブロックアドレス 2 9、スタートページフラグ 3 2 及びスタートページデータ 3 3 のみが示され、エラーコレクションコード 2 8、CRC 3 1 及びその他の付加情報については省略されている。また、図 9 では、対応論理ブロックアドレス 2 9 及びスタートページデータ 3 3 については 1 0 進表示し、スタートページフラグ 3 2 については 2 進表示している。

図 9 に示されるように、物理ブロック # 4 のページ # 1 ~ # 4 にのみユーザデータが格納されており、その他のページにはユーザデータが格納されていないので、当該物理ブロックにおけるスタートページは「5」であり、かかる値がページ # 3 のスタートページデータ 3 3 として格納されていることが分かる。このため、コントローラ 3 は、スタートページ検索によって、この物理ブロックのページ # 5 ~ # 3 1 が空きページであることを知ることが可能となり、その後、ホストコンピュータ 5 より物理ブロック # 4 のページ # 5 ~ # 3 1 に対するデータの書き込みが要求された場合であっても、ブロック間転送を行うことなく、ページ # 5 ~ # 3 1 へ直接データを書き込むことが可能となる。

尚、上記の例では、書き込み対象のページ # 3 及び # 4 のうち、従前のスタートページ（ページ # 3）以外のページ（ページ # 4）にも、スタートページデータ 3 3 を書き込んでいるが、これを省略しても構わない。

さらに、上記の例では、書き込み対象のページ # 3 及び # 4 に対応論理ブロックアドレス 2 9 及び CRC 3 1 を書き込まなかったが、ページ # 4 にこれらを書き込んでも構わない。但し、ページ # 4 に書き込まれたこれらデータが使用されることはない。

また、上記の例では、スタートページ格納領域 # 5 0 0 から直接ス

スタートページを入手しているが、上記書き込み動作1が行われた後、コントローラ3がリセットされたことによりSRAMワークエリア8の内容が一旦消去されている場合には、スタートページ格納領域#500から直接スタートページを入手することはできない。この場合、

5 コントローラ3のリセット時に実行されるアドレス変換テーブル27の作成作業によって、スタートページ格納領域#500の内容が「00001B」となるので、上述したスタートページ検索によってスタートページを入手する必要がある。

次に、ユーザデータを書き込むべきページの先頭ページがスタートページと一致していない場合について説明する。

ユーザデータを書き込むべきページの先頭ページがスタートページと一致していない場合

ここでは、上述した書き込み動作1が完了した直後の状態において、ホストコンピュータ5より、バス14、コネクタ4及びバス13を介して、外部コマンドの一種である外部書き込みコマンドと、ホストアドレス「0000000111110100000101B」(ホストアドレス#0)と、このホストアドレスに書き込むべきデータとがフラッシュメモリシステム1に供給された場合を例に説明する。

まず、ホストアドレス#0及び外部書き込みコマンドがコントローラ3に供給された場合の、コントローラ3の基本的な動作は上述したとおりであり、重複する部分の説明は省略する。

本例においては、スタートページ格納領域#500に格納されたスタートページの値「00011B(3)」と、ユーザデータを書き込むべきページの先頭ページとの比較が行われる。この場合、ユーザデータを書き込むべきページの先頭ページは、ホストアドレス#0によって示されているので、スタートページの値「00011(3)」と、ホストアドレス#0の下位5ビットの値「00101(5)」とが比較されることとなる。このように、本例では、ホストアドレス#0の下位5ビットの値「00101(5)」がスタートページの値「00011(3)」を超えているので、データの追加的な書き込みが可能であると

判断される。

さらに、マイクロプロセッサ 6 による制御のもと、ユーザデータを
書き込むべきページの最終ページを示すホストアドレス # 0 の下位 5
ビットに 1 を加算したデータを生成し、これによって新たなスタート
5 ページが生成される。かかるスタートページの値は、スタートページ
データとして、ECC ブロック 11 内に一時的に保持される。この場
合、ホストアドレス # 0 の下位 5 ビットが「00101 (5)」である
から、ECC ブロック 11 内に格納されるスタートページデータは「0
0110 (6)」となる。

10 ホストアドレスから内部アドレスへの変換の手順については、すで
に説明したとおりであり、得られる内部アドレス # 0 は、「00000
0000000010000101B」となる。

さらに、物理ブロックアドレス格納領域 # 500 に対応するスター
トページ格納領域 # 500 に、上記スタートページ「00110 (6)」
15 が上書きされる。

以上より、ホストアドレス # 0 から内部アドレス # 0 への変換が完
了する。これにより、内部アドレス # 0 によってアクセスされるのは
フラッシュメモリチップ 2-0 内の物理ブロック # 4 のページ # 5 と
なる。

20 その後、フラッシュシーケンサブロック 12 が有する各種レジスタ
(図示せず) への設定が完了すると、フラッシュシーケンサブロック
12 による一連の書き込み動作が実行される。本例においては、フラ
ッシュシーケンサブロック 12 による一連の書き込み動作は、フラ
ッシュメモリチップ 2-0 内の物理ブロック # 4 のページ # 3 に対する
25 各種冗長データの書き込み、同ブロックのページ # 5 に対するユーザ
データ及び各種冗長データの書き込みの順に実行される。

まず、物理ブロック # 4 のページ # 3 に対する書き込み処理につい
て説明する。

尚、物理ブロック # 4 のページ # 3 には、上記書き込み動作 1 にお
30 いて、すでに対応論理ブロックアドレス 29 の書き込みが実行されて

いるが、スタートページフラグ 3 2 及びスタートページデータ 3 3 を構成するフラッシュメモリセル 1 6 は全て消去状態（論理値＝1）に保たれているので、スタートページフラグ 3 2 及びスタートページデータ 3 3 の書き込みは可能である。

- 5 物理ブロック # 4 のページ # 3 に対する書き込み処理においては、フラッシュシーケンサブロック 1 2 は、所定のレジスタに格納された内部アドレス # 0 の上位 2 ビットに基づき、チップ選択信号 # 0 を活性化させる。これにより、フラッシュメモリチップ 2 - 0 は、データの書き込みが可能な状態となる。一方、チップ選択信号 # 1 ～ # 3 は、
- 10 非活性状態が保たれる。

- 次いで、フラッシュシーケンサブロック 1 2 は、内部アドレス # 0 の下位 5 ビットを従前のスタートページ「0 0 0 1 1 B」とした書き込みアドレスを生成し、その下位 1 8 ビット「0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 1 1 B」を、所定のレジスタに格納された内部書き込み
- 15 コマンドとともにバス 1 5 に供給するよう、フラッシュメモリインターフェースブロック 1 0 に指示する。上述のとおり、チップ選択信号 # 0 が活性状態となっているため、バス 1 5 に供給された内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ 2 - 0 に対してのみ有効となる。

- 20 これにより、フラッシュメモリチップ 2 - 0 は、物理ブロック # 4 のページ # 3 に書き込まれるべきデータの受け付けが許可された状態となる。

- 次に、物理ブロック # 4 のページ # 3 に書き込むべきデータが、フラッシュシーケンサブロック 1 2 により、フラッシュメモリインターフェースブロック 1 0 を介して、バス 1 5 に供給される。ここで、物理
- 25 ブロック # 4 のページ # 3 に書き込むべきデータとは、スタートページフラグ 3 2 及びスタートページデータ 3 3 である。

- かかるデータは、上述と同様、フラッシュメモリチップ 2 - 0 内に備えられた内部レジスタ（図示せず）に一時的に格納され、内部書き
- 30 込みコマンドの発行に应答して物理ブロック # 4 のページ # 3 の所定

の位置に書き込まれる。すなわち、ページ#3の冗長領域26には、スタートページフラグ32及びスタートページデータ33が格納される。

5 これにより、物理ブロック#4のページ#3に対する書き込み処理が完了する。

物理ブロック#4のページ#3に対する書き込み処理が完了すると、次に、物理ブロック#4のページ#5に対する書き込み処理が実行される。

10 物理ブロック#4のページ#5に対する書き込み処理は内部アドレス#0を用いて行われ、その手順は、すでに繰り返し説明したとおりである。これによって、ページ#5のユーザ領域25には、ホストアドレス#0に対応するユーザデータが格納され、冗長領域26には、エラーコレクションコード28、スタートページデータ33及びその他の付加情報が格納される。

15 これにより、一連の書き込み処理が完了する。

図10は、上記一連の書き込み処理が完了した状態における物理ブロック#4の内容を示す概略図である。

20 図10では、ユーザ領域25については、ユーザデータの格納されている部分にハッチングが施されており、冗長領域26については、対応論理ブロックアドレス29、スタートページフラグ32及びスタートページデータ33のみが示され、エラーコレクションコード28、CRC31及びその他の付加情報については省略されている。また、図10では、対応論理ブロックアドレス29及びスタートページデータ33については10進表示し、スタートページフラグ32について

25 は2進表示している。

図10に示されるように、物理ブロック#4のページ#1、#2、#5にのみユーザデータが格納されており、その他のページにはユーザデータが格納されていないので、当該物理ブロックにおけるスタートページは「6」であり、かかる値がページ#3のスタートページデータ33として格納されていることが分かる。このため、コントロー

30

ラ 3 は、スタートページ検索によって、この物理ブロックのページ # 6 ~ # 3 1 が空きページであることを知ることが可能となり、その後、ホストコンピュータ 5 より物理ブロック # 4 のページ # 6 ~ # 3 1 に対するデータの書き込みが要求された場合であっても、ブロック間転送を行うことなく、ページ # 6 ~ # 3 1 へ直接データを書き込むことが可能となる。

尚、上記の例では、書き込み対象のページ # 5 にも、スタートページデータ 3 3 を書き込んでいるが、これを省略しても構わない。

さらに、上記の例では、書き込み対象のページ # 5 に対応論理ブロックアドレス 2 9 及び CRC 3 1 を書き込まなかったが、これらを書き込んでも構わない。但し、これらが使用されないことは上述のとおりである。

また、上記の例では、スタートページ格納領域 # 5 0 0 から直接スタートページを入手しているが、上記書き込み動作 1 が行われた後、コントローラ 3 がリセットされたことにより SRAM ワークエリア 8 の内容が一旦消去されている場合には、上述したスタートページ検索によってスタートページを入手する必要がある。

書き込み動作 3 (最終ページ # 3 1 にデータを書き込む場合)

最終ページ # 3 1 にデータを書き込む場合は、かかる物理ブロックが空きブロックであるか、すでにデータの格納されている物理ブロック (使用済みブロック) であるかに関わらず、当該物理ブロックの先頭ページ # 0 のスタートページフラグ 3 2 の上位ビットに「0」が格納され、さらに、アドレス変換テーブル 2 7 の対応するスタートページ格納領域に「0 0 0 0 0 B」が格納される。これにより、当該物理ブロックに対するデータの追加的な書き込みができないことが示される。

以上説明した、最終ページ # 3 1 に対するデータの書き込み処理について、具体的な例を挙げてより詳細に説明する。

ここでは、上述した書き込み動作 1 が完了した直後の状態において、ホストコンピュータ 5 より、バス 1 4、コネクタ 4 及びバス 1 3 を介

して、外部コマンドの一種である外部書き込みコマンドと、ホストアドレス「00000011111010011111B」(ホストアドレス#0)と、かかるホストアドレスに書き込むべきデータとがフラッシュメモリシステム1に供給された場合を例に説明する。

- 5 まず、ホストアドレス#0及び外部書き込みコマンドがコントローラ3に供給された場合の、コントローラ3の基本的な動作は上述したとおりであり、重複する部分の説明は省略する。

10 本例においては、スタートページ格納領域#500に格納されたスタートページの値「00011B(3)」と、ユーザデータを書き込むべきページの先頭ページとの比較が行われる。この場合、ユーザデータを書き込むべきページの先頭ページは、ホストアドレス#0によって示されているので、スタートページの値「00011(3)」と、ホストアドレス#0の下位5ビットの値「11111(31)」とが比較されることとなる。このように、本例では、ホストアドレス#0の下位5ビットの値「11111(31)」がスタートページの値「00011(3)」を超えているので、データの追加的な書き込みが可能であると判断される。

15 ホストアドレスから内部アドレスへの変換の手順については、すでに説明したとおりであり、得られる内部アドレス#0は、「00000000000100111111B」となる。

さらに、ホストアドレス#0の下位5ビットの値が「11111(31)」であることに応答して、物理ブロックアドレス格納領域#500に対応するスタートページ格納領域#500に、値「00000(0)」が上書きされる。

25 以上より、ホストアドレス#0から内部アドレス#0への変換が完了する。これにより、内部アドレス#0によってアクセスされるのはフラッシュメモリチップ2-0内の物理ブロック#4のページ#31となる。

その後、フラッシュシーケンサブロック12が有する各種レジスタ
30 (図示せず)への設定が完了すると、フラッシュシーケンサブロック

1 2による一連の書き込み動作が実行される。本例においては、フラッシュシーケンサブロック 1 2による一連の書き込み動作は、フラッシュメモリチップ 2-0内の物理ブロック # 4のページ # 0に対する各種冗長データの書き込み、同ブロックのページ # 3 1に対するユーザデータ及び各種冗長データの書き込みの順に実行される。

まず、物理ブロック # 4のページ # 0に対する書き込み処理について説明する。

尚、物理ブロック # 4のページ # 0には、上記書き込み動作 1において、すでに対応論理ブロックアドレス 2 9の書き込みが実行されているが、スタートページフラグ 3 2の上位ビットを構成するフラッシュメモリセル 1 6は消去状態（論理値 = 1）に保たれているので、スタートページフラグの書き込みは可能である。

物理ブロック # 4のページ # 0に対する書き込み処理においては、フラッシュシーケンサブロック 1 2は、所定のレジスタに格納された内部アドレス # 0の上位 2 ビットに基づき、チップ選択信号 # 0を活性化させる。これにより、フラッシュメモリチップ 2-0は、データの書き込みが可能な状態となる。一方、チップ選択信号 # 1 ~ # 3は、非活性状態が保たれる。

次いで、フラッシュシーケンサブロック 1 2は、内部アドレス # 0の下位 5 ビットを「0 0 0 0 0 B」とした書き込みアドレスを生成し、その下位 1 8 ビット「0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 B」を、所定のレジスタに格納された内部書き込みコマンドとともにバス 1 5に供給するよう、フラッシュメモリインターフェースブロック 1 0に指示する。上述のとおり、チップ選択信号 # 0が活性状態となっているため、バス 1 5に供給された内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ 2-0に対してのみ有効となる。

これにより、フラッシュメモリチップ 2-0は、物理ブロック # 4のページ # 0に書き込まれるべきデータの受け付けが許可された状態となる。

次に、物理ブロック # 4のページ # 0に書き込むべきデータが、フ

ラッシュシーケンサブロック 12により、フラッシュメモリインターフェースブロック 10を介して、バス 15に供給される。ここで、物理ブロック #4のページ #0に書き込むべきデータとは、スタートページフラグ 32である。

- 5 かかるデータは、上述と同様、フラッシュメモリチップ 2-0内に備えられた内部レジスタ（図示せず）に一時的に格納され、内部書き込みコマンドの発行に応答して物理ブロック #4のページ #0の所定の位置に書き込まれる。すなわち、ページ #0の冗長領域 26には、値が「00」であるスタートページフラグ 32が格納される。

- 10 これにより、物理ブロック #4のページ #0に対する書き込み処理が完了する。

物理ブロック #4のページ #0に対する書き込み処理が完了すると、次に、物理ブロック #4のページ #31に対する書き込み処理が実行される。

- 15 物理ブロック #4のページ #31に対する書き込み処理は内部アドレス #0を用いて行われ、その手順は、すでに繰り返し説明したとおりである。これによって、ページ #31のユーザ領域 25には、ホストアドレス #0に対応するユーザデータが格納され、冗長領域 26には、エラーコレクションコード 28及びその他の付加情報が格納される。

- 20 これにより、一連の書き込み処理が完了する。

図 11は、上記一連の書き込み処理が完了した状態における物理ブロック #4の内容を示す概略図である。

- 25 図 11では、ユーザ領域 25については、ユーザデータの格納されている部分にハッチングが施されており、冗長領域 26については、対応論理ブロックアドレス 29、スタートページフラグ 32及びスタートページデータ 33のみが示され、エラーコレクションコード 28、CRC 31及びその他の付加情報については省略されている。また、図 11では、対応論理ブロックアドレス 29及びスタートページデータ 33については10進表示し、スタートページフラグ 32について

は2進表示している。

図11に示されるように、物理ブロック#4の最終ページ#31にユーザデータが格納されているため、当該物理ブロックにおけるスタートページは存在しない。これに示すため、先頭ページ#0のスタートページフラグ32の値が「00」とされており、さらに、当該ブロックに対応するスタートページ格納領域#500の内容が「00000B」とされている。このため、コントローラ3は、この物理ブロックにはスタートページが存在しないことを知ることが可能となり、その後、ホストコンピュータ5より物理ブロック#4のいずれかのページに対するデータの書き込みが要求された場合、ブロック間転送が行われる。

尚、上記の例では、スタートページ格納領域#500から直接スタートページを入手しているが、上記書き込み動作1が行われた後、コントローラ3がリセットされたことによりSRAMワークエリア8の内容が一旦消去されている場合には、上述したスタートページ検索によってスタートページを入手する必要がある。

以上説明したように、本実施態様にかかるフラッシュメモリシステム1においては、スタートページという概念を用い、各物理ブロックを構成する複数のページのうち、スタートページ以降のページが必ず空きページであることが保証されているので、すでにデータの書き込まれている物理ブロックに対するデータの書き込みが要求された場合であっても、これがスタートページ以降のページに対するデータの書き込み要求である場合には、ブロック間転送を行うことなく、当該物理ブロックに対して直接データを書き込むことが可能となる。このため、データの書き込みに必要な一連の処理をより高速に行うことができる。

しかも、本実施態様にかかるフラッシュメモリシステム1においては、各ページの冗長領域26にスタートページデータ33を格納し、かかるスタートページデータ33を用いたリンクによってスタートページを表現しているので、アドレス変換テーブル27を作成する際には、各物理ブロックの先頭ページ（ページ#0）に対して読み出しを実行

するだけでよい。このような読み出し処理は、コントローラ 3 の初期設定時（リセット時）において通常行われる処理であるため、本発明の適用によって初期設定動作に要する時間が増大することはない。

また、本実施態様にかかるフラッシュメモリシステム 1 においては、
5 一旦データの書き込みが実行された物理ブロックのスタートページを、対応するスタートページ格納領域に格納しているので、次に同じ物理ブロックに対して書き込みが行われる場合、極めて速やかにスタートページを得ることができる。

さらに、本実施態様にかかるフラッシュメモリシステム 1 においては、
10 空きブロックに対するデータの書き込みが行われる場合、ユーザデータを書き込むべきページ、並びに、ユーザデータを書き込むべきページとは無関係に当該物理ブロックのページ # 0 ~ # 3、# 31 の冗長領域 26 に、対応論理ブロックアドレス 29 及び CRC 31 が格納されるので、先頭ページ（ページ # 0）に含まれる対応論理ブロックア
15 ドレス 29 に誤りが発生した場合であっても、確実に当該ブロックに対応する論理ブロックアドレスを特定することが可能となる。しかも、ユーザデータを書き込むべきページではなく、且つ、ページ # 0 ~ # 3、# 31 ではない物理ブロックの冗長領域 26 には、対応論理ブロックアドレス 29 及び CRC 31 が格納されないため、不要な書き込
20 み処理によって無駄な書き込み時間が発生することがない。このため、データの書き込みに必要な一連の処理をより高速に行うことができる。

本発明は、以上の実施態様に限定されることなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

25 例えば、上記実施態様にかかるフラッシュメモリシステム 1 においては、各ページの冗長領域 26 にスタートページデータ 33 を格納し、かかるスタートページデータ 33 を用いたリンクによってスタートページを表現しているが、本発明におけるスタートページの表現方法がこれに限定されるものではなく、他の方法によってスタートページを
30 表現しても構わない。例えば、各物理ブロックについて、全ての空き

ページに関する情報をアドレス変換テーブル 27 内に展開し、これに基づいて、データの追加的な書き込みを行っても構わない。この場合、上記実施態様にかかるフラッシュメモリシステム 1 とは異なり、全ての空きページに関する情報を用いていることから、より効果的にデータの追加的な書き込みが行われ、ブロック間転送の頻度を一層低下させることができる。但し、この場合、全ての空きページに関する情報をアドレス変換テーブル 27 内に展開するのに多くの時間を要することから、コントローラ 3 の初期設定動作が遅くなる。

また、上記実施態様にかかるフラッシュメモリシステム 1 においては、2 ビットのスタートページフラグ 32 を用いているが、スタートページフラグ 32 を 1 ビットとし、ページ # 0 においては当該物理ブロックにスタートページが存在するか否かを表示するために用い、ページ # 1 ~ # 30 においては対応するスタートページが有効であるか否かを表示するために用いてもよい。

さらに、上記実施態様にかかるフラッシュメモリシステム 1 においては、スタートページ検索において、参照されたスタートページフラグ 32 が「x 1」であれば検索を終了し、当該ページをスタートページとしているが、スタートページ検索においてスタートページデータ 33 を参照し、参照されたスタートページデータ 33 が「1 1 1 1 1 (3 1)」であれば検索を終了し、当該ページをスタートページとしてもよい。この場合、少なくとも、スタートページデータ 33 が「1 1 1 1 1 (3 1)」であるページについては、かかるスタートページデータ「1 1 1 1 1 (3 1)」がスタートページ検索の終了を示しているのか、或いは、スタートページがページ # 31 であることを示しているのかを、スタートページフラグ 32 等を利用して区別する必要がある。

また、上記実施態様にかかるフラッシュメモリシステム 1 においては、スタートページ検索において、参照先のスタートページフラグ 32 が属するページに制限を設けていないが、参照先のスタートページフラグ 32 が属するページのページ番号が参照元のスタートページフラグ 32 が属するページのページ番号よりも小さい場合には、対応す

るスタートページデータ 33 に誤りがあるものと判断して、エラー処理を行ってもよい。

さらに、上記実施態様にかかるフラッシュメモリシステム 1 においては、スタートページ検索において、参照回数に制限を設けていない
5 が、これを所定の回数（例えば 30 回）に制限し、これを越えた場合には、少なくとも一のスタートページデータ 33 に誤りがあるものと判断して、エラー処理を行ってもよい。

また、上記実施態様にかかるフラッシュメモリシステム 1 においては、各物理ブロックを 32 個のページによって構成しているが、各物理
10 ブロックを構成するページ数は 32 個には限定されず、他の数、例えば、16 個や 64 個であってもよい。本発明は、各物理ブロックを構成するページ数が多いほど、より顕著な効果を得ることができる。

また、上記実施態様にかかるフラッシュメモリシステム 1 においては、空きブロックに対してデータの書き込みを行う場合、ユーザデータ
15 を書き込むべきページとは無関係に当該物理ブロックのページ #0 ~ #3 の冗長領域 26 に、対応論理ブロックアドレス 29 及び CRC 31 を格納しているが、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス 29 及び CRC 31 を書き込む対象としては、ページ #0 ~ #3 に限定されず、少なくともページ #0 を含
20 む連続した複数ページであればよい。例えば、ページ #0 ~ #2 であってもよい。この場合も、対応論理ブロックアドレス 29 及び CRC 31 が書き込まれている最終ページ（ページ #31 を除く）において、対応論理ブロックアドレス 29 のエラーが検出された時点で、当該物理ブロックは不良ブロックとして取り扱われることになる。

さらに、上記実施態様にかかるフラッシュメモリシステム 1 においては、空きブロックに対してデータの書き込みを行う場合、ユーザデータ
25 を書き込むべきページがページ #0 ~ #3、#31 以外であっても、その冗長領域 26 に対応論理ブロックアドレス 29 及び CRC 31 を格納しているが、これを省略しても構わない。

30 さらに、上記実施態様にかかるフラッシュメモリシステム 1 におい

ては、データの格納された全ての物理ブロックに関わるアドレス変換テーブル27をSRAMワークエリア8上に展開しているが、本発明において、これら全ての物理ブロックに関わるアドレス変換テーブルを展開することは必須ではなく、これらの一部のみを展開してもよい。

5 この場合、SRAMワークエリア8に必要とされる記憶容量を削減することができる。但し、このように一部の物理ブロックに関わるアドレス変換テーブルのみを展開する場合、アドレス変換テーブルに含まれていない物理ブロックへのアクセスが要求される度に、アドレス変換テーブルを更新する必要がある。

10 また、上記実施態様においては、フラッシュメモリシステム1はカード形状であり、4個のフラッシュメモリチップ2-0~2-3とコントローラ3とが、一つのカード内に集積されて構成されているが、本発明にかかるフラッシュメモリシステムがカード形状に限定されることはなく、他の形状、例えばスティック状であってもよい。

15 さらに、上記実施態様においては、フラッシュメモリシステム1は、4個のフラッシュメモリチップ2-0~2-3とコントローラ3とが、一つのカード内に集積されて構成されているが、フラッシュメモリチップ2-0~2-3とコントローラ3とが、同一筐体に集積されている必要はなく、それぞれ別個の筐体にパッケージングされてもよい。

20 この場合、フラッシュメモリチップ2-0~2-3がパッケージングされた筐体及びコントローラ3がパッケージングされた筐体には、それぞれ他方との電氣的及び機械的接続を実現するためのコネクタが必要とされ、かかるコネクタによって、フラッシュメモリチップ2-0~2-3がパッケージングされた筐体が、コントローラ3がパッケージングされた筐体に着脱可能に装着される。さらに、フラッシュメモリチップ2-0~2-3についても、これらが同一筐体に集積されている必要はなく、それぞれ別個の筐体にパッケージングされてもよい。

25 また、上記実施態様にかかるフラッシュメモリシステム1においては、各フラッシュメモリチップ2-0~2-3は、それぞれ128M
30 バイト（1Gビット）の記憶容量を有する半導体チップであるが、各

フラッシュメモリチップ2-0~2-3の記憶容量は128Mバイト(1Gビット)に限定されず、これとは異なる容量、例えば32Mバイト(256Mビット)であつてもよい。

5 さらに、上記実施態様にかかるフラッシュメモリシステム1においては、512バイトを1ページとし、これを最小アクセス単位として、512バイトに限定されず、これとは異なる容量であつてもよい。

10 また、上記実施態様にかかるフラッシュメモリシステム1においては、フラッシュメモリチップ2-0~2-3を構成する各フラッシュメモリセル16が、1ビットのデータを保持しているが、フローティングゲート電極21に注入すべき電子の量を複数段階に制御することによって、2ビット以上のデータを保持可能に構成してもよい。

15 また、上記実施態様にかかるフラッシュメモリシステム1においては、フラッシュメモリチップ2-0~2-3に対してそれぞれ2個のキューを割り当てることによって、消去済みブロックキュー30が構成されているが、各フラッシュメモリチップ2-0~2-3に対して割り当てられるキューの数としては2個に限定されず、他の数、例えば、1個や8個であつてもよい。

20 さらに、上記実施態様にかかるフラッシュメモリシステム1においては、フラッシュメモリチップ2としてNAND型のフラッシュメモリチップを用いているが、本発明により制御可能なフラッシュメモリがNAND型に限定されるものではなく、他の種類、例えば、AND型のフラッシュメモリを制御することも可能である。

25 さらに、本発明において、手段とは、必ずしも物理的手段を意味するものではなく、各手段の機能がソフトウェアによって実現される場合も包含する。さらに、一つの手段の機能が二以上の物理的手段により実現されても、二以上の手段の機能が一つの物理的手段により実現されてもよい。

30 尚、本発明は、PCMCIA (Personal Computer Memory Card International Ass

以上説明したように、本発明によれば、フラッシュメモリに対する一連のデータ書き込み処理をより高速に行うことができるメモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法を提供することができる。

10 以上説明したように、本発明によれば、フラッシュメモリに対する一連のデータ書き込み処理をより高速に行うことができるメモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法を提供することができる。

クレーム

1. ホストコンピュータより供給されるホストアドレスに基づいて、それぞれ複数のページを含む複数のブロックからなるメモリにアクセスするメモリコントローラであって、前記ホストコンピュータよりユーザデータの書き込みが要求されたことに応答して、前記ホストアドレスにより示される書込先ページへの前記ユーザデータの追加的な書き込みが可能であるか否かを判断する判断手段と、前記判断手段による判断の結果、ユーザデータの追加的な書き込みが可能であると判断されたことに応答して、ブロック間転送を行うことなく、前記書込先ページへ前記ユーザデータを書き込む書込手段とを備えるメモリコントローラ。
2. 前記判断手段による判断が、前記複数のブロックのうち少なくとも一部のブロックについての空きページ情報が格納されたテーブルを参照することにより行われることを特徴とする請求項1に記載のメモリコントローラ。
3. 前記書込手段が、前記ユーザデータの書き込みによって生じる新たな空きページ情報の少なくとも一部を、前記書込先ページが属するブロックに含まれる少なくとも一のページに書き込むことを特徴とする請求項2に記載のメモリコントローラ。
4. 前記テーブルを構成する前記空きページ情報には、空きページが存在するか否かを示す第1の情報と、空きページを特定する第2の情報とが少なくとも含まれていることを特徴とする請求項2に記載のメモリコントローラ。
5. 前記テーブルを構成する前記空きページ情報には、空きページが存在するか否かを示す第1の情報と、空きページを特定する第2の情

報とが少なくとも含まれていることを特徴とする請求項 3 に記載のメモリコントローラ。

5 6. 前記テーブルの作成が指示されたことに応答して、前記複数のブロックのうち少なくとも一部のブロックの先頭ページに格納された前記第 1 の情報を読み出し、これに基づいて前記テーブルを作成するテーブル作成手段をさらに備えることを特徴とする請求項 4 に記載のメモリコントローラ。

10 7. 前記テーブルの作成が指示されたことに応答して、前記複数のブロックのうち少なくとも一部のブロックの先頭ページに格納された前記第 1 の情報を読み出し、これに基づいて前記テーブルを作成するテーブル作成手段をさらに備えることを特徴とする請求項 5 に記載のメモリコントローラ。

15 8. 前記テーブルを構成する各空きページ情報が、それぞれ対応するブロックに含まれる複数のページのうち、以降のページが全て空きページである 1 または 2 以上のページの先頭ページを示すスタートページ情報からなることを特徴とする請求項 2 に記載のメモリコントローラ。
20

9. 前記テーブルを構成する各空きページ情報が、それぞれ対応するブロックに含まれる複数のページのうち、以降のページが全て空きページである 1 または 2 以上のページの先頭ページを示すスタートページ情報からなることを特徴とする請求項 3 に記載のメモリコントローラ。
25

10. ホストコンピュータより供給されるホストアドレスに基づいて、それぞれ複数のページを含む複数のブロックからなるメモリにアクセスするメモリコントローラであって、前記ホストコンピュータより空
30

きブロックに対するユーザデータの書き込みが要求されたことに応答して、前記空きブロックに含まれるページであって前記ホストアドレスにより特定される第1のページのユーザ領域内へ前記ユーザデータを書き込む手段と、前記空きブロックに含まれる先頭ページの冗長領域内へ空きページ情報を書き込む手段とを備えるメモリコントローラ。

1 1. 前記空きページ情報が、空きページが存在するか否かを示す空きページフラグと、空きページを特定する空きページデータとを少なくとも含むことを特徴とする請求項10に記載のメモリコントローラ。

1 2. 前記空きページデータが、前記第1のページに続く第2のページを特定するデータであることを特徴とする請求項11に記載のメモリコントローラ。

1 3. 前記ホストコンピュータより前記ブロックに対するユーザデータの書き込みがさらに要求されたことに応答して、前記空きページ情報に基づき、前記ホストコンピュータより供給されたホストアドレスにより特定される第3のページへの前記ユーザデータの追加的な書き込みが可能であるか否かを判断する手段と、前記判断の結果、ユーザデータの追加的な書き込みが可能であると判断されたことに応答して、前記ブロックに含まれる第3のページのユーザ領域内へ前記ユーザデータを書き込む手段と、前記ブロックに含まれる第2のページの冗長領域内へ前記第3のページに続く第4のページを特定する空きページデータを書き込む手段とを備える請求項12に記載のメモリコントローラ。

1 4. 前記ホストコンピュータより前記ブロックの最終ページに対するユーザデータの書き込みがさらに要求されたことに応答して、前記空きページ情報に基づき、前記最終ページへの前記ユーザデータの追加的な書き込みが可能であるか否かを判断する手段と、前記判断の結果

果、ユーザデータの追加的な書き込みが可能であると判断されたことに
 5 応答して、前記最終ページのユーザ領域内へ前記ユーザデータを書
 き込む手段と、前記先頭ページの冗長領域内に格納された前記空きペ
 ージフラグを変化させる手段とを備える請求項 1 1 に記載のメモリコ
 ントローラ。

10 1 5. 前記ホストコンピュータより前記ブロックの最終ページに対す
 るユーザデータの書き込みがさらに要求されたことに応答して、前記
 空きページ情報に基づき、前記最終ページへの前記ユーザデータの追
 15 加的な書き込みが可能であるか否かを判断する手段と、前記判断の結
 果、ユーザデータの追加的な書き込みが可能であると判断されたこと
 に応答して、前記最終ページのユーザ領域内へ前記ユーザデータを書
 き込む手段と、前記先頭ページの冗長領域内に格納された前記空きペ
 15 ージフラグを変化させる手段とを備える請求項 1 2 に記載のメモリコ
 ントローラ。

20 1 6. 前記ホストコンピュータより前記ブロックの最終ページに対す
 るユーザデータの書き込みがさらに要求されたことに応答して、前記
 空きページ情報に基づき、前記最終ページへの前記ユーザデータの追
 25 加的な書き込みが可能であるか否かを判断する手段と、前記判断の結
 果、ユーザデータの追加的な書き込みが可能であると判断されたこと
 に応答して、前記最終ページのユーザ領域内へ前記ユーザデータを書
 き込む手段と、前記先頭ページの冗長領域内に格納された前記空きペ
 25 ージフラグを変化させる手段とを備える請求項 1 3 に記載のメモリコ
 ントローラ。

30 1 7. それぞれ複数のページを含む複数のブロックからなるフラッシ
 ュメモリと、ホストコンピュータより供給されるホストアドレスに基
 づいて前記フラッシュメモリにアクセスするメモリコントローラとを
 備え、前記コントローラが、前記ホストコンピュータよりデータの書

き込みが要求されたことに応答して、前記ホストアドレスにより示される書込先ページへの前記データの追加的な書き込みが可能であるか否かを判断する判断手段と、前記判断手段による判断の結果、データの追加的な書き込みが可能であると判断されたことに応答して、ブロック間転送を行うことなく、前記書込先ページへ前記データを書き込む書込手段とを備えることを特徴とするフラッシュメモリシステム。

18. 前記各ブロックがユーザ領域と冗長領域とを備え、前記冗長領域には、各ブロックを構成する空きページに関する空きページ情報が格納されていることを特徴とする請求項17に記載のフラッシュメモリシステム。

19. 前記コントローラが、前記複数のブロックのうち少なくとも一部のブロックについての前記空きページ情報が格納されたテーブルをさらに備え、前記判断手段による判断が、前記テーブルを参照することにより行われることを特徴とする請求項18に記載のフラッシュメモリシステム。

20. データの書き込みがホストコンピュータから要求されたことに応答して、ホストアドレスにより示される書込先ページへの前記データの追加的な書き込みが可能であるか否かを判断する判断ステップと、前記判断ステップによる判断の結果、データの追加的な書き込みが可能であると判断されたことに応答して、ブロック間転送を行うことなく、前記書込先ページへ前記データを書き込む書込ステップとを備えることを特徴とするフラッシュメモリの制御方法。

要約

本発明は、フラッシュメモリに対する一連のデータ書き込み処理をより高速に行うことができるメモリコントローラを提供することを目的とする。

本発明にかかるメモリコントローラは、ホストコンピュータよりユーザデータの書き込みが要求されたことに応答して、ホストアドレスにより示される書込先ページへのユーザデータの追加的な書き込みが可能であるか否かを判断する判断手段と、判断手段による判断の結果、ユーザデータの追加的な書き込みが可能であると判断されたことに応答して、ブロック間転送を行うことなく、書込先ページへユーザデータを書き込む書込手段とを備えている。これにより、ブロック間転送の頻度が低くなるため、データの書き込みに必要な一連の処理を高速に行うことが可能となる。

T0922T 6462E001